

# Request Form for Translation

U. S. Serial No. : 10/004,816

Requester's Name: Judy Nguyen

Phone No. : 305-7062

Fax No. : \_\_\_\_\_

Office Location: CP4-9A03

Art Unit/Org. : 2861

Group Director: Howard Goldberg

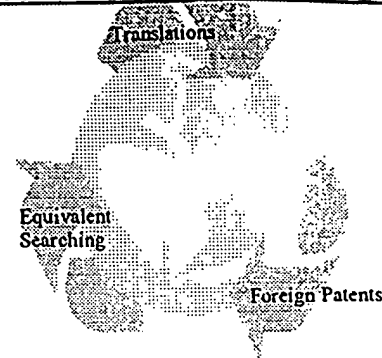
Is this for Board of Patent Appeals? N

Date of Request: 10/16/02

Date Needed By: 11/16/02

(Please do not write ASAP-indicate a specific date)

Translation Branch  
The world of foreign prior art to you.



Phone: 308-0881  
Fax: 308-0989  
Location: Crystal Plaza 3/4  
Room 2C01

SPE Signature Required for RUSH: \_\_\_\_\_

## Document Identification (Select One):

\*\* (Note: Please attach a complete, legible copy of the document to be translated to this form) \*\*

1. Patent Document No. 9-260516  
Language Japanese  
Country Code JP  
Publication Date 10/3/97  
No. of Pages \_\_\_\_\_ (filled by STIC)

2. Article Author \_\_\_\_\_  
Language \_\_\_\_\_  
Country \_\_\_\_\_

3. Other Type of Document \_\_\_\_\_  
Country \_\_\_\_\_  
Language \_\_\_\_\_

To assist us in providing the most cost effective service, please answer these questions:

Will you accept an English Language Equivalent?  
Yes (Yes/No)

Will you accept an English abstract?  
No (Yes/No)

Would you like a consultation with a translator to review the document prior to having a complete written translation?  
No (Yes/No)

Check here if Machine Translation is not acceptable:  
(It is the default for Japanese Patents, '93 and onwards with avg. 5 day turnaround after receipt)

## Document Delivery (Select Preference):

Delivery to Exmr. Office/Mailbox Date: \_\_\_\_\_ (STIC Only)

Call for Pick-up Date: \_\_\_\_\_ (STIC Only)

## STIC USE ONLY

### Copy/Search

Processor: \_\_\_\_\_  
Date assigned: \_\_\_\_\_  
Date filled: \_\_\_\_\_  
Equivalent found: \_\_\_\_\_ (Yes/No)

Doc. No.: \_\_\_\_\_  
Country: \_\_\_\_\_

Remarks: \_\_\_\_\_  
\_\_\_\_\_

### Translation

Date logged in: \_\_\_\_\_  
PTO estimated words: \_\_\_\_\_  
Number of pages: \_\_\_\_\_  
In-House Translation Available: \_\_\_\_\_  
In-House: \_\_\_\_\_ Contractor: \_\_\_\_\_  
Translator: \_\_\_\_\_ Name: \_\_\_\_\_  
Assigned: \_\_\_\_\_ Priority: \_\_\_\_\_  
Returned: \_\_\_\_\_ Sent: \_\_\_\_\_  
Returned: \_\_\_\_\_

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260516

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
			C 0 1 G 23/00	
			G 1 1 C 11/22	
C 0 1 G 23/00			H 0 1 L 37/02	
G 1 1 C 11/22			49/02	

審査請求 未請求 請求項の数9 F D (全 8 頁) 最終頁に続く

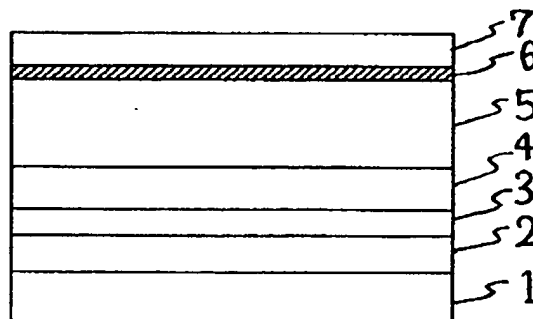
(21) 出願番号	特願平8-90160	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成8年(1996)3月18日	(72) 発明者	佐藤 咲子 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72) 発明者	松永 宏典 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72) 発明者	木島 健 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74) 代理人	弁理士 梅田 勝

(54) 【発明の名称】 強誘電体薄膜被覆基板及びそれを用いたキャパシタ構造素子

## (57) 【要約】

【課題】 本発明は、薄膜の表面が緻密かつ平坦でリーク電流特性に優れ、さらに十分に大きな残留自発分極を示す強誘電体薄膜被覆基板及びそれを用いたキャパシタ構造素子を提供することを目的としている。

【解決手段】 シリコン等から成る基板1上にBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>等から成る強誘電体薄膜5が形成されて成る強誘電体薄膜被覆基板において、強誘電体薄膜5上に強誘電体薄膜5を覆うTiO<sub>2</sub>等から成るオーバーコート層6を配置して構成する。



## 【特許請求の範囲】

【請求項1】 基板上に強誘電体薄膜が形成されて成る強誘電体薄膜被覆基板において、

前記強誘電体薄膜上に該強誘電体薄膜を覆うオーバーコート層が配置されたことを特徴とする強誘電体薄膜被覆基板。

【請求項2】 前記オーバーコート層が金属酸化物から成ることを特徴とする請求項1に記載の強誘電体薄膜被覆基板。

【請求項3】 前記オーバーコート層が酸化チタンから成ることを特徴とする請求項2に記載の強誘電体薄膜被覆基板。

【請求項4】 前記強誘電体薄膜がチタン酸ビスマスから成り、前記オーバーコート層が酸化チタンから成ることを特徴とする請求項3に記載の強誘電体薄膜被覆基板。

【請求項5】 前記基板と前記強誘電体薄膜との間にバッファ層を介して成ることを特徴とする請求項1に記載の強誘電体薄膜被覆基板。

【請求項6】 前記オーバーコート層及び前記バッファ層が金属酸化物から成ることを特徴とする請求項5に記載の強誘電体薄膜被覆基板。

【請求項7】 前記オーバーコート層及び前記バッファ層が酸化チタンから成ることを特徴とする請求項6に記載の強誘電体薄膜被覆基板。

【請求項8】 前記強誘電体薄膜がチタン酸ビスマスから成り、前記オーバーコート層及び前記バッファ層が酸化チタンから成ることを特徴とする請求項7に記載の強誘電体薄膜被覆基板。

【請求項9】 請求項1から8のいずれか1項に記載の強誘電体薄膜被覆基板を用いたキャパシタ構造素子であって、

前記基板と前記強誘電体薄膜との間に第1の導電性電極が配置され、前記オーバーコート層の上部に第2の導電性電極が配置されたことを特徴とするキャパシタ構造素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、強誘電体メモリ素子、焦電センサ素子、圧電素子等に用いられる強誘電体薄膜、強誘電体薄膜被覆基板、キャパシタ構造素子、及び強誘電体薄膜の製造方法に関するものである。

## 【0002】

【従来の技術】強誘電体は、自発分極、高誘電率、電気光学効果、圧電効果及び焦電効果等の多くの機能をもつことから、コンデンサ、発振器、光変調器あるいは赤外線センサ等の広範なデバイス開発に応用されている。しかし、従来、これらの応用は単結晶かセラミックスの状態で行われてきた。

【0003】一方、薄膜形成技術の進展に伴って、高品

質の強誘電体薄膜が得られるようになった現在では、従来になかった応用が期待されている。特に最近では、DRAM等の半導体メモリ素子との組み合わせることで、高密度でかつ高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んに行われている。強誘電体メモリは、強誘電体の強誘電特性(自発分極効果)を利用したバックアップ電源不要の不揮発性メモリである。このようなデバイス開発には、残留自発分極(Pr)が大きくかつ抗電界(Ec)が小さく、低リーク電流であり、分極反転の繰り返し耐性に優れる等の特性をもつ材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために、膜厚200nm以下の薄膜で上記の特性を実現することが望まれる。

【0004】現在、FRAM等への応用を目的として、 $PbTiO_3$ 、 $Pb(Zr_{1-x}Ti_x)O_3$ (PZT)、PLEZT等のペロブスカイト構造を有する酸化物強誘電体の薄膜化がスパッタリング法、蒸着法、ゾルゲル法、MOD法、MOCVD法等の薄膜形成方法により試みられている。

【0005】上述の強誘電体材料のうち、PZTは、現在、最も集中的に研究されているものであり、例えば残留自発分極Prが $10\mu C/cm^2$ から $26\mu C/cm^2$ と大きな値をもつものも得られている。しかしながら、蒸気圧の高いPbを含むため、成膜時や熱処理時等での膜組成変化が起こり易いことや、ピンホールの発生、下地電極PtとPbの反応による低誘電率層の発生等の結果、膜厚の低減に伴い、リーク電流や分極反転繰り返し耐性の劣化が起こるといった問題点がある。この為、強誘電特性、分極反転耐性に優れた他の材料の開発が望まれている。また、集積デバイスへの応用を考えた場合、微細加工に対応できるような薄膜の緻密性、表面平滑性も必要となる。

【0006】他方、リーク電流や、分極反転耐性に悪影響を及ぼすPbを含まない酸化物強誘電体として、層状ペロブスカイト構造を有するチタン酸ビスマス( $Bi_4Ti_3O_{12}$ )がある。その単結晶での強誘電特性は、a軸方向に残留自発分極Pr= $50\mu C/cm^2$ 、抗電界Ec= $50kV/cm$ 、c軸方向に残留自発分極Pr= $4\mu C/cm^2$ 、抗電界Ec= $4kV/cm$ と、優れた特性を示すものである。したがって、この $Bi_4Ti_3O_{12}$ のもつ大きな自発分極を強誘電体不揮発性メモリである等に応用するためには、基板に垂直方向に結晶のa軸成分を多く持つようにすることが望ましい。

【0007】 $Bi_4Ti_3O_{12}$ の薄膜化は、これまでにも、MOCVD法やゾルゲル法により試みられているが、それらのほとんどが自発分極が小さいc軸配向膜である。また、従来のゾルゲル法を用いた強誘電体薄膜形成では、良好な強誘電特性を得るために650℃以上の熱処理が必要であり、さらに、膜表面モフォロジーが0.5 $\mu m$ 程度の結晶粒からなるので、微細加工を必要

とする高集積デバイスに適用するのが困難である。一方、MOCVD法による強誘電体薄膜形成では、c軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜が基板温度 $600^\circ\text{C}$ 以上で、Pt電極層/ $\text{SiO}_2$ 絶縁膜/ $\text{Si}$ 基板やPt基板上に作製されているが、これらの基板はそのまま実際のデバイス構造に適用できるものではない。即ち、Pt/Ti/ $\text{SiO}_2$ / $\text{Si}$ 基板のように、Pt電極層とその下の $\text{SiO}_2$ 膜との接着強度を確保するためのTi膜等の接着層が必要である。ところが、このような接着層を設けたPt電極基板上に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜をMOCVD法により作製した場合、その膜表面モフォロジーは、 $0.5\mu\text{m}$ 程度の粗大結晶粒からなると共に、常誘電性のパイロクロア相( $\text{Bi}_2\text{Ti}_2\text{O}_7$ )が発生し易くなることが報告されている(Jpn.J.Appl.Phys., 32, 1993, pp. 408 6、及びJ.Ceramic Soc. Japan, 102, 1994, pp. 512参照)。

【0008】膜表面モフォロジーが粗大結晶粒からなると、微細加工を必要とする高集積デバイスには適用できないばかりか、薄い膜厚ではピンホールの原因となり、リーク電流の発生をもたらしことになる。したがって、このような従来技術では、 $200\text{nm}$ 以下の薄い膜厚で良好な強誘電特性を有する強誘電体薄膜を実現することは困難な状況である。

【0009】

【発明が解決しようとする課題】以上のように、上記従来技術では、強誘電体薄膜を高集積デバイスに適用するのに、微細加工や低リーク電流のために必要な薄膜表面の緻密性や平坦性、大きな残留分極、低温成膜プロセス等の様々な条件を十分に満たすものが得られていないという問題を有している。

【0010】本発明は、上記のような課題を解決するためになされたものであって、薄膜表面が緻密で平坦で、リーク電流特性に優れ、かつ十分に大きな残留自発分極を示す強誘電体薄膜が低温プロセスで作製可能な強誘電体薄膜被覆基板及びそれを用いたキャパシタ構造素子を提供することを目的としている。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に強誘電体薄膜が形成されて成る強誘電体薄膜被覆基板において、強誘電体薄膜上にその強誘電体薄膜を覆うオーバーコート層を設けている。

【0012】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層を金属酸化物から成るものとしている。

【0013】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層が酸化チタンから成るものとしている。

【0014】さらに、本発明では、上記の強誘電体薄膜被覆基板において、強誘電体薄膜がチタン酸ビスマスから成り、オーバーコート層が酸化チタンから成ることとしている。

【0015】また、本発明では、上記の強誘電体薄膜被覆基板において、基板と強誘電体薄膜との間にバッファ層を設けている。

【0016】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層及びバッファ層を金属酸化物から成るものとしている。

【0017】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層及びバッファ層を酸化チタンから成るものとしている。

【0018】さらに、本発明では、上記の強誘電体薄膜被覆基板において、強誘電体薄膜がチタン酸ビスマスから成り、オーバーコート層及びバッファ層が酸化チタンから成ることとしている。

【0019】また、本発明では、上記の強誘電体薄膜被覆基板を用いて、基板と強誘電体薄膜との間に第1の導電性電極を配置し、オーバーコート層の上部に第2の導電性電極を配置してキャパシタ構造素子を構成している。

【0020】本発明の強誘電体薄膜被覆基板では、基板上に強誘電体薄膜が形成されて成る強誘電体薄膜被覆基板において、強誘電体薄膜上にその強誘電体薄膜を覆うオーバーコート層を設けているので、強誘電体薄膜が粗大粒子から成り、その表面が粗くても、強誘電体薄膜上のオーバーコート層により、強誘電体薄膜表面の凹凸が埋められ、緻密で表面平滑な薄膜を得ることができる。すなわち、従来では、結晶性の向上に伴い、結晶粒子の粗大化、膜表面の荒れによるリーク電流の増大が問題となっていたが、本発明の強誘電体薄膜被覆基板によれば、結晶性が優れ、かつ緻密で表面平滑な薄膜を得ることができるというものである。

【0021】また、本発明の強誘電体薄膜被覆基板では、さらに基板と強誘電体薄膜との間にバッファ層を設けて、強誘電体薄膜の上下を同種の金属酸化物層で挟んだ構造としているので、膜の多層構造に起因する強誘電性ヒステリシスループの非対称性の発生を防ぐことができ、対称性の良いヒステリシスループを得ることができる。すなわち、強誘電体薄膜を2つの同種材料の層で挟んだ構造を採用することにより、上下の対称性の良い膜の構造を実現し、膜構造の非対称性に起因するヒステリシスループの非対称性を防止することができるというものである。

【0022】

【発明の実施の形態】以下、本発明の実施の一形態について、図面を参照して説明する。図1は、本発明の第1の実施形態である強誘電体薄膜被覆基板から構成されるキャパシタ構造素子の構造を示す図である。図1に示すように、このキャパシタ構造素子は、シリコン(Si)基板1上に、酸化シリコン( $\text{SiO}_2$ )層2、接着層3、下部電極4、強誘電体薄膜5、オーバーコート層6、及び上部電極7が、それぞれ順次形成されているも

のである。

【0023】第1の実施形態では、シリコン基板1としてはシリコン単結晶ウエハを用い、SiO<sub>2</sub>層2としてはシリコン単結晶ウエハ表面を熱酸化して得られる酸化シリコン薄膜を用いた。また、接着層3としてはタンタル(Ta)薄膜を、下部電極4としては白金(Pt)薄膜を、強誘電体薄膜5としてはチタン酸ビスマス薄膜(Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜)を、オーバーコート層6としては酸化チタン(TiO<sub>2</sub>)薄膜を、上部電極7としては白金(Pt)薄膜をそれぞれ用いた。

【0024】次に、図1に示した第1の実施形態の強誘電体薄膜被覆基板の製造方法について説明する。まず、Pt/Ta/SiO<sub>2</sub>/Si基板の作製について説明する。シリコン基板1であるシリコン単結晶ウエハ(100)面の表面を熱酸化することにより、膜厚200nmのSiO<sub>2</sub>層2を形成する。そして、接着層3であるTa薄膜を膜厚30nmで、そして、下部電極層4であるPt薄膜を膜厚200nmで、それぞれスパッタ法により形成した。

【0025】なお、ここで、これらの材料や膜厚は、本実施形態に限定されるものではなく、シリコン単結晶基板の代わりに多結晶シリコン基板やGaAs基板等を用いても良い。また、接着層は、成膜中に基板と下部電極層との熱膨張率が異なることに起因する膜の剥離を防止するものであり、膜厚は膜の剥離を防止できる程度であ\*

\*れば良く、材料についてもTa以外にチタン(Ti)等を用いることができるが、本実施形態の場合、TiとPtとの合金が形成されるのでTaを用いるのが好ましい。また、絶縁層に用いたSiO<sub>2</sub>層は、熱酸化により作製されたものでなくても良く、スパッタ法、真空蒸着法、MOCVD法等により形成されたSiO<sub>2</sub>膜や窒化シリコン膜等を用いることができ、材料も膜厚も十分に絶縁性を有するものであれば良い。

【0026】また、下部電極についても、膜厚は十分に電極層として機能できる程度であれば良く、材料はPtに限定されるものでなく、通常の電極材料に用いられる導電性材料で良いが、他の薄膜との関連で適宜選択でき得るものである。また、成膜方法も、シリコン熱酸化やスパッタ法に限定されるものでなく、真空蒸着法等の通常の薄膜形成技術を用いて行っても良い。また、基板構造も上記のものに限定されるものではない。

【0027】次いで、このようにして作製したPt/Ta/SiO<sub>2</sub>/Si基板の上に、強誘電体薄膜5であるBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜、及びオーバーコート層6であるTiO<sub>2</sub>薄膜をMOCVD法により順次形成した。Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜の成膜条件を表1に示す。

【0028】

【表1】

原料	Bi(o-C <sub>7</sub> H <sub>7</sub> ) <sub>3</sub>	Ti(i-OC <sub>3</sub> H <sub>7</sub> ) <sub>4</sub>
原料温度	160℃	50℃
キャリアガス(Ar)流量	200sccm	100sccm
反応ガス(O <sub>2</sub> )流量	1000sccm	
成膜室内ガス圧力	5Torr	

【0029】Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜の成膜は、表1に示すようにBi原料としてトリオルトトリルビリルビスマス(Bi(o-C<sub>7</sub>H<sub>7</sub>)<sub>3</sub>)を、Ti原料としてチタンイソプロポキシaid(Ti(i-OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>)をそれぞれ用いて、これらの原料を表1に示す原料温度にそれぞれ加熱気化して(Bi原料160℃、Ti原料50℃)、キャリアガスであるアルゴン(Ar)ガスと反応ガスである酸素(O<sub>2</sub>)ガスと共に成膜室内に供給した。ここで、Arガス供給時の流量はBi原料に対して200sccm、Ti原料に対して100sccmとし、O<sub>2</sub>ガス供給時の流量は1000sccmとした。なお、この成膜工程において、成膜室内の真空度は、10Torr以上であると気相反応が起こりやすいので、5Torrとした。このような条件で、基板温度を600℃とし、膜厚100nmのBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜を、約30分間の成膜時間で成膜を行った。

【0030】引き続き、基板温度を400℃に設定し、Ti原料としてチタンイソプロポキシaid(Ti(i-OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>)を用い、この原料を50℃に加熱気化

※し、Arキャリアガス(流量50sccm)で供給し、膜厚が5nmの酸化チタンオーバーコート層を、約2分間の成膜時間で形成した。この成膜工程においても、成膜室内の真空度は、5Torrとした。なお、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜とTiO<sub>2</sub>オーバーコート層とのトータル膜厚は、105nmである。

【0031】なお、ここで、オーバーコート層の膜厚としては、強誘電体薄膜に十分な電圧を印加するために、できるだけ薄いほうが望ましく、また、強誘電体薄膜の表面凹凸を被覆するためにはある程度の膜厚が必要である。この点について検討したところ、オーバーコート層の膜厚は、2~7nmにおいて良好な結果が得られた。

【0032】以上のようにして、形成したオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜の表面モフォロジーについて、SEM(走査型電子顕微鏡)により観察した結果を図2に示す。図2によれば、本実施形態により得られた薄膜の表面は、微細な結晶粒子から成り、緻密で表面平滑な薄膜が得られていることがわかる。

【0033】また、この薄膜の結晶性を、X線回折によ

り評価した結果を図3に示す。図3において、(001) (1は整数)は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  (層状ペロブスカイト相)のc軸配向成分による回折ピークを表し、(117)は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  (層状ペロブスカイト相)のa軸成分を含む(117)配向成分による回折ピークであり、得られた薄膜は、c軸配向性の強い $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ であることがわかる。

【0034】比較例として、第1の実施形態と同様のPt/Ta/SiO<sub>2</sub>/Si基板を用いて、オーバーコート層のない $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜 (膜厚105nm)を第1の実施形態と同様の条件でMOCVD法により形成した。この比較例の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の表面モフォロジーをSEM観察した結果、図4に示すように、この薄膜は粗大粒子からなり、表面凹凸が激しいものとなっていた。このことから、第1の実施形態のオーバーコート層が、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜表面の凹凸の隙間を埋めることで、表面形状が緻密で平坦な薄膜を作製できることがわかった。

【0035】第1の実施形態のTiO<sub>2</sub>オーバーコート層上に、上部電極として、Pt電極 (100μmφ)を真空蒸着法により形成して、図1に示したようなキャパシタ構造素子の作製を完了した。

【0036】次に、第1の実施形態のキャパシタ構造素子について、リーク電流特性 (リーク電流密度の印加電圧依存性)を測定した結果を図5に示す。図5から、このキャパシタ構造素子では、例えば印加電圧3Vで、リーク電流密度 $I_l = 8 \times 10^{-7} \text{ A/cm}^2$ という値が得られた。さらに、このキャパシタ構造素子について、強誘電特性の測定を行った結果、図6に示すような明確なヒステリシスループが得られ、3V印加時で、残留自発分極 $P_r = 5 \mu\text{C/cm}^2$ 、抗電界 $E_c = 70 \text{ kV/cm}$ という値が得られた。

【0037】次いで、第2の実施形態として、図7に示すように、上記第1の実施形態の下部電極4と強誘電体薄膜5との間に、バッファ層8を設けた強誘電体薄膜被覆基板から成るキャパシタ構造素子について説明する。

【0038】第2の実施形態の作製については、上記第1の実施形態と同様のPt/Ta/SiO<sub>2</sub>/Si基板を用いて、この上に、MOCVD法により酸化チタン (TiO<sub>2</sub>) バッファ層を形成した。このときの成膜条件は、基板温度を400℃に設定し、Ti原料としてチタンイソプロポキサイド ( $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ )を用い、この原料を50℃に加熱酸化し、Arキャリアガス (流量50sccm)で供給し、膜厚が5nmの酸化チタンバッファ層を、成膜時間約2分間で形成した。この成膜工程において、成膜室内の真空度は、10 Torr以上であると気相反応が起こりやすくなるので、5 Torrとした。

【0039】なお、ここで、バッファ層の膜厚としては、上記第1の実施形態で説明したオーバーコート層と

同様、強誘電体薄膜に十分な電圧を印加するためにできるだけ薄いほうが望ましいが、バッファ層としての機能を果たすには1~10nmの範囲であれば良好な結果が得られることを確認できた。

【0040】このTiO<sub>2</sub>バッファ層の上に、上記第1の実施形態と同様に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 強誘電体薄膜及びTiO<sub>2</sub>オーバーコート層を、順次MOCVD法により形成した。なお、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜及びTiO<sub>2</sub>オーバーコート層のそれぞれの膜厚は、上記第1の実施形態と同じであるので、TiO<sub>2</sub>バッファ層、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、及びTiO<sub>2</sub>オーバーコート層のトータル膜厚は、110nmである。

【0041】このようにして作製した薄膜の表面モフォロジーを、SEMにより観察した結果を図8に示す。図8によれば、本実施形態のオーバーコート層付き $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜は、粒径0.1μmのグレインから成る緻密かつ表面平滑なものであることがわかる。また、上記第1の実施形態のものと比較すると、薄膜を構成する結晶粒は、第2の実施形態のものの方が小さくなっていることがわかる。すなわち、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の上下を、バッファ層とオーバーコート層とで挟んだ構造とすることにより、より結晶粒の小さい、緻密な膜が得られるという結果が得られた。

【0042】また、この第2の実施形態のオーバーコート層付き $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の結晶性を、X線回折により評価した結果を図9に示す。図9から、得られた薄膜は、上記第1の実施形態のものと比較して、a軸成分を含む(117)反射強度が大きくなっていることがわかる。

【0043】次に、第2の実施形態のオーバーコート層付き $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜上に、上記第1の実施形態と同様に、Pt上部電極を形成して、リーク電流特性 (リーク電流密度の印加電圧依存性)を測定した結果を図10に示す。図10から、このキャパシタ構造素子では、例えば印加電圧3Vで、リーク電流密度 $I_l = 6 \times 10^{-8} \text{ A/cm}^2$ という小さな良好な値が得られた。さらに、このキャパシタ構造素子について、強誘電特性の測定を行った結果、図11に示すような明確なヒステリシスループが得られ、3V印加時で、残留自発分極 $P_r = 7.5 \mu\text{C/cm}^2$ 、抗電界 $E_c = 130 \text{ kV/cm}$ という値が得られた。図11のヒステリシスループを、図6の第1の実施形態のものと比較すると、 $P_r$ 値が大きくなったばかりでなく、対称性が改善されていることがわかる。これは、強誘電体薄膜の上下を、バッファ層とオーバーコート層とで挟んだ構造とすることにより、強誘電体薄膜上下の対称性の良い膜の構造が実現できたので、膜構造の非対称性に起因するヒステリシスループの非対称性を防ぐことができたためである。

【0044】なお、上記実施形態では、基板としてPt/Ta/SiO<sub>2</sub>/Si基板を用いたキャパシタ構造素

子としたが、これに限定されるものではない。例えば、SiやGaAs基板に集積回路が形成され、その集積回路の表面に酸化シリコンや窒化シリコン等の層間絶縁膜が被覆され、この層間絶縁膜の一部に形成されたコンタクトホールを介して、集積回路の要素と電気的に接続された電極層が層間絶縁膜上に形成され、その電極層上に本発明の強誘電体薄膜を形成するような構成にしても良い。即ち、本発明は、上記実施形態のキャパシタ構造やトランジスタ構造を初めとした集積回路の要素と電気的に接続した集積回路素子、その他の強誘電体メモリ素子、焦電センサ素子、圧電素子等、様々な高集積デバイスに適用可能なものである。

【0045】なお、上記実施形態では、オーバーコート層の材料として、酸化チタンを用いたが、これに限定されるものではなく、金属酸化物が好ましいものであり、具体的には、酸化タンタル、酸化ニオブ、チタン酸ストロンチウム、チタン酸バリウム、酸化ジルコン、酸化アルミ、酸化ビスマス、酸化イットリウム、酸化ハフニウム等が挙げられる。また、バッファ層の材料についても、上記実施形態では酸化チタンを用いたが、これに限定されるものではなく、金属酸化物が好ましいものであり、具体的には、酸化タンタル、酸化ニオブ、チタン酸ストロンチウム、チタン酸バリウム、酸化ジルコン、酸化アルミ、酸化ビスマス、酸化イットリウム、酸化ハフニウム等が挙げられる。

【0046】

【発明の効果】以上のように、本発明によれば、オーバーコート層が被覆された強誘電体薄膜の膜構造とすることにより、100 $\mu$ m程度の極薄い膜厚においても、平滑性及び緻密性に優れたオーバーコート層被覆強誘電体薄膜を得ることができるので、リーク電流特性を大幅に向上させ、優れた強誘電特性を実現可能となる。

【0047】さらに、本発明によれば、バッファ層を設けることにより、ヒステリシスループの非対称性を改善することができ、高品質な強誘電体薄膜被覆基板や様々な電子デバイスを提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態の強誘電体薄膜被覆基板から成るキャパシタ構造素子の構造を示す概略断面図である。

【図2】第1の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜表面のSEMによる観察結果を示す顕微鏡写真である。

【図3】第1の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜のX線回折による観察結果を示す図である。

【図4】比較例のオーバーコート層がないBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜表面のSEMによる観察結果を示す顕微鏡写真である。

【図5】第1の実施形態のキャパシタ構造素子のリーク電流密度I<sub>l</sub>の印加電圧依存性を示す図である。

【図6】第1の実施形態のキャパシタ構造素子の強誘電性ヒステリシスループを示す図である。

【図7】第2の実施形態の強誘電体薄膜被覆基板から成るキャパシタ構造素子の構造を示す断面概略図である。

【図8】第2の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜表面のSEMによる観察結果を示す顕微鏡写真である。

【図9】第2の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜のX線回折による観察結果を示す図である。

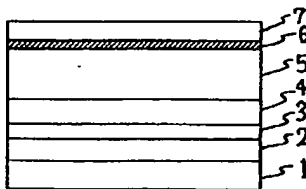
【図10】第2の実施形態のキャパシタ構造素子のリーク電流密度I<sub>l</sub>の印加電圧依存性を示す図である。

【図11】第2の実施形態のキャパシタ構造素子の強誘電性ヒステリシスループを示す図である。

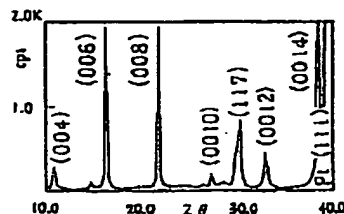
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン層
- 3 接着層
- 4 下部電極
- 5 強誘電体薄膜
- 6 オーバーコート層
- 7 上部電極
- 8 バッファ層

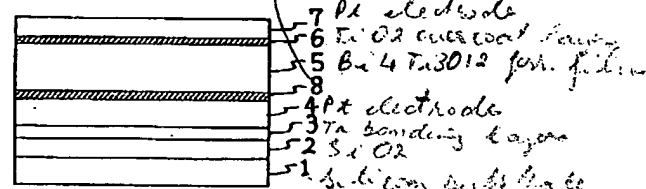
【図1】



【図3】



【図7】



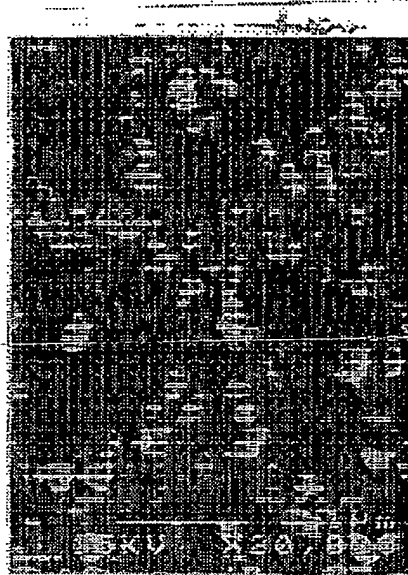
【図2】

図面代用写真

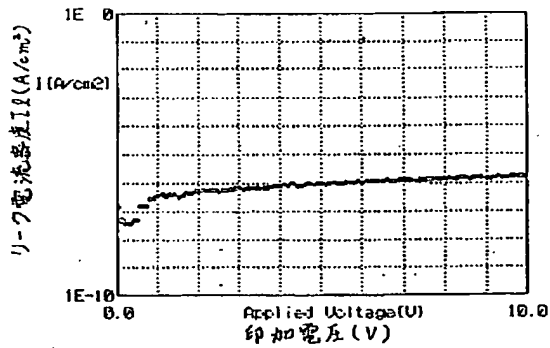


【図4】

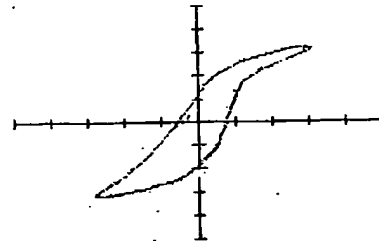
図面代用写真



【図5】

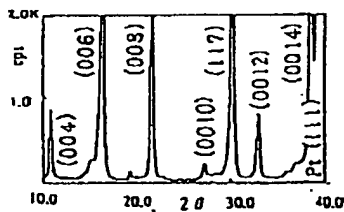


【図6】

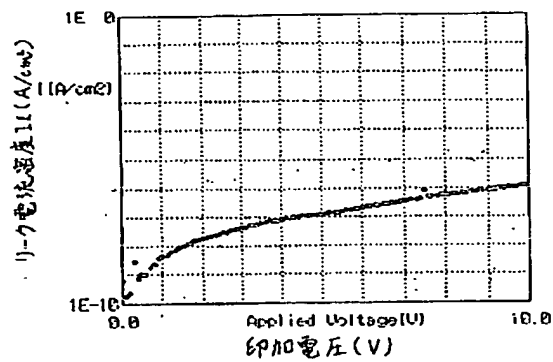


X div = 100 kV/cm  
Y div = 3 μC/cm<sup>2</sup>

【図9】



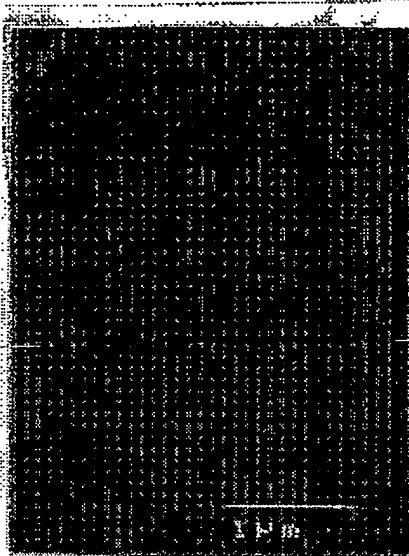
【図10】



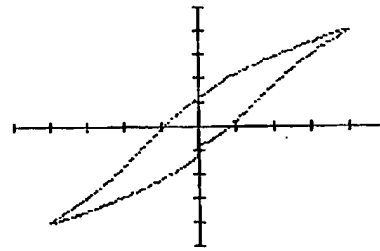


【図8】

図面代用写真



【図11】



$Xdiv = 150 \text{ kV/cm}$   
 $Ydiv = 7 \mu\text{C/cm}^2$

フロントページの続き

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/04			H01L 21/314	A
21/822			27/04	C
27/108			27/10	651
21/8242			41/08	C
37/02			41/18	101D
41/09				101Z
41/187				
41/18				
49/02				
// H01L 21/314				

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260516

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
C01G 23/00  
G11C 11/22  
H01L 27/04  
H01L 21/822  
H01L 27/108  
H01L 21/8242  
H01L 37/02  
H01L 41/09  
H01L 41/187  
H01L 41/18  
H01L 49/02  
// H01L 21/314

(21)Application number : 08-090160

(71)Applicant : SHARP CORP

(22)Date of filing : 18.03.1996

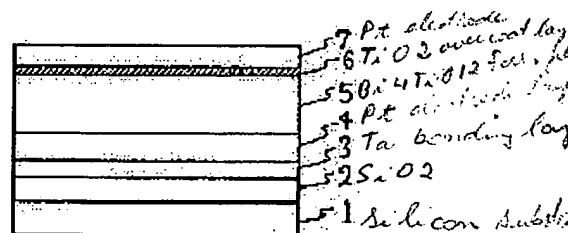
(72)Inventor : SATO SAKIKO  
MATSUNAGA HIRONORI  
KIJIMA TAKESHI

## (54) SUBSTRATE COVERED WITH FERROELECTRIC THIN FILM AND CAPACITOR STRUCTURE DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a capacitor structure device by forming an overcoat layer covering a ferroelectric thin film on it, and forming a ferroelectric thin film by a low temperature process which film has a dense and flat surface, is excellent in leakage current characteristics, and exhibits large residual spontaneous polarization.

SOLUTION: An SiO<sub>2</sub> layer 2 is formed by thermally oxidizing the surface, (100) face, of a silicon single crystal wafer, being a silicon substrate 1. A Ta thin film as a bonding layer 3, and a Pt thin film as a lower electrode layer 4 are formed. On a Pt/Ta/SiO<sub>2</sub>/Si substrate, a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film 5 is formed. A TiO<sub>2</sub> thin film as an overcoat layer 6 is formed, on which a Pt electrode as an upper electrode 7 is formed by vacuum deposition method. Thus a capacitor structure device is formed. A ferroelectric thin film covered with an overcoat layer excellent in flatness and denseness can be obtained, so that leakage current characteristics are remarkably improved, and an excellent ferroelectric characteristics can be realized.



Ta = tantalum

... 511, 475 col. 19 re: the material used as dielectric in capacitor

LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's  
decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of  
rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

CLIPPEDIMAGE= JP409260516A

PAT-NO: JP409260516A

DOCUMENT-IDENTIFIER: JP 09260516 A

TITLE: SUBSTRATE COVERED WITH FERROELECTRIC THIN FILM AND  
CAPACITOR STRUCTURE  
DEVICE USING THE SAME

PUBN-DATE: October 3, 1997

INVENTOR-INFORMATION:

NAME

SATO, SAKIKO

MATSUNAGA, HIRONORI

KIJIMA, TAKESHI

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY,

N/A

APPL-NO: JP08090160

APPL-DATE: March 18, 1996

INT-CL (IPC): H01L021/8247;H01L029/788 ;H01L029/792  
;C01G023/00 ;G11C011/22  
;H01L027/04 ;H01L021/822 ;H01L027/108 ;H01L021/8242  
;H01L037/02 ;H01L041/09  
;H01L041/187 ;H01L041/18 ;H01L049/02 ;H01L021/314

ABSTRACT:

PROBLEM TO BE SOLVED: To realize a capacitor structure device by forming an overcoat layer covering a ferroelectric thin film on it, and forming a ferroelectric thin film by a low temperature process which film has a dense and flat surface, is excellent in leakage current characteristics, and exhibits large residual spontaneous polarization.

SOLUTION: An SiO<sub>2</sub> layer 2 is formed by thermally oxidizing the

surface, (100) face, of a silicon single crystal wafer, being a silicon substrate 1. A Ta thin film as a bonding layer 3, and a Pt thin film as a lower electrode layer 4 are formed. On a Pt/Ta/SiO<sub>2</sub>/Si substrate, a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film as a ferroelectric thin film 5 is formed. A TiO<sub>2</sub> thin film as an overcoat layer 6 is formed, on which a Pt electrode as an upper electrode 7 is formed by vacuum deposition method. Thus a capacitor structure device is formed. A ferroelectric thin film covered with an overcoat layer excellent in flatness and denseness can be obtained, so that leakage current characteristics are remarkably improved, and an excellent ferroelectric characteristics can be realized.

COPYRIGHT: (C) 1997, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260516

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
29/788			C 0 1 G 23/00	
29/792			G 1 1 C 11/22	
C 0 1 G 23/00			H 0 1 L 37/02	
G 1 1 C 11/22			49/02	
審査請求 未請求 請求項の数 9 F D (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平8-90160

(22) 出願日 平成8年(1996)3月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐藤 咲子

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 松永 宏典

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 木島 健

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

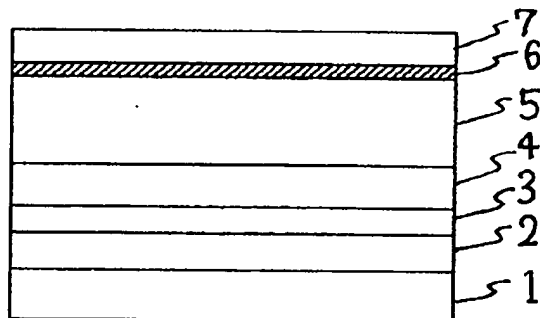
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 強誘電体薄膜被覆基板及びそれを用いたキャパシタ構造素子

## (57) 【要約】

【課題】 本発明は、薄膜の表面が緻密かつ平坦でリーク電流特性に優れ、さらに十分に大きな残留自発分極を示す強誘電体薄膜被覆基板及びそれを用いたキャパシタ構造素子を提供することを目的としている。

【解決手段】 シリコン等から成る基板1上に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 等から成る強誘電体薄膜5が形成されて成る強誘電体薄膜被覆基板において、強誘電体薄膜5上に強誘電体薄膜5を覆う $\text{TiO}_2$ 等から成るオーバーコート層6を配置して構成する。



## 【特許請求の範囲】

【請求項1】 基板上に強誘電体薄膜が形成されて成る強誘電体薄膜被覆基板において、前記強誘電体薄膜上に該強誘電体薄膜を覆うオーバーコート層が配置されたことを特徴とする強誘電体薄膜被覆基板。

【請求項2】 前記オーバーコート層が金属酸化物から成ることを特徴とする請求項1に記載の強誘電体薄膜被覆基板。

【請求項3】 前記オーバーコート層が酸化チタンから成ることを特徴とする請求項2に記載の強誘電体薄膜被覆基板。

【請求項4】 前記強誘電体薄膜がチタン酸ビスマスから成り、前記オーバーコート層が酸化チタンから成ることを特徴とする請求項3に記載の強誘電体薄膜被覆基板。

【請求項5】 前記基板と前記強誘電体薄膜との間にバッファ層を介して成ることを特徴とする請求項1に記載の強誘電体薄膜被覆基板。

【請求項6】 前記オーバーコート層及び前記バッファ層が金属酸化物から成ることを特徴とする請求項5に記載の強誘電体薄膜被覆基板。

【請求項7】 前記オーバーコート層及び前記バッファ層が酸化チタンから成ることを特徴とする請求項6に記載の強誘電体薄膜被覆基板。

【請求項8】 前記強誘電体薄膜がチタン酸ビスマスから成り、前記オーバーコート層及び前記バッファ層が酸化チタンから成ることを特徴とする請求項7に記載の強誘電体薄膜被覆基板。

【請求項9】 請求項1から8のいずれか1項に記載の強誘電体薄膜被覆基板を用いたキャパシタ構造素子であって、

前記基板と前記強誘電体薄膜との間に第1の導電性電極が配置され、前記オーバーコート層の上部に第2の導電性電極が配置されたことを特徴とするキャパシタ構造素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、強誘電体メモリ素子、焦電センサ素子、圧電素子等に用いられる強誘電体薄膜、強誘電体薄膜被覆基板、キャパシタ構造素子、及び強誘電体薄膜の製造方法に関するものである。

## 【0002】

【従来の技術】強誘電体は、自発分極、高誘電率、電気光学効果、圧電効果及び焦電効果等の多くの機能をもつことから、コンデンサ、発振器、光変調器あるいは赤外線センサ等の広範なデバイス開発に応用されている。しかし、従来、これらの応用は単結晶かセラミックスの状態で行われてきた。

【0003】一方、薄膜形成技術の進展に伴って、高品

質の強誘電体薄膜が得られるようになった現在では、従来になかった応用が期待されている。特に最近では、DRAM等の半導体メモリ素子との組み合わせることで、高密度でかつ高速に動作する強誘電体不揮発性メモリ（FRAM）の開発が盛んに行われている。強誘電体メモリは、強誘電体の強誘電特性（自発分極効果）を利用したバックアップ電源不要の不揮発性メモリである。このようなデバイス開発には、残留自発分極（Pr）が大きくかつ抗電界（Ec）が小さく、低リーク電流であり、分極反転の繰り返し耐性に優れる等の特性をもつ材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために、膜厚200nm以下の薄膜で上記の特性を実現することが望まれる。

【0004】現在、FRAM等への応用を目的として、 $PbTiO_3$ 、 $Pb(Zr_{1-x}Ti_x)O_3$ （PZT）、 $PLZT$ 等のペロブスカイト構造を有する酸化物強誘電体の薄膜化がスパッタリング法、蒸着法、ゾルーゲル法、MOD法、MOCVD法等の薄膜形成方法により試みられている。

【0005】上述の強誘電体材料のうち、PZTは、現在、最も集中的に研究されているものであり、例えば残留自発分極Prが $10\mu C/cm^2$ から $26\mu C/cm^2$ と大きな値をもつものも得られている。しかしながら、蒸気圧の高いPbを含むため、成膜時や熱処理時等での膜組成変化が起こり易いことや、ピンホールの発生、下地電極PtとPbの反応による低誘電率層の発生等の結果、膜厚の低減に伴い、リーク電流や分極反転繰り返し耐性の劣化が起こるといった問題点がある。この為、強誘電特性、分極反転耐性に優れた他の材料の開発が望まれている。また、集積デバイスへの応用を考えた場合、微細加工に対応できるような薄膜の緻密性、表面平滑性も必要となる。

【0006】他方、リーク電流や、分極反転耐性に悪影響を及ぼすPbを含まない酸化物強誘電体として、層状ペロブスカイト構造を有するチタン酸ビスマス（ $Bi_4Ti_3O_{12}$ ）がある。その単結晶での強誘電特性は、a軸方向に残留自発分極Pr= $50\mu C/cm^2$ 、抗電界Ec= $50kV/cm$ 、c軸方向に残留自発分極Pr= $4\mu C/cm^2$ 、抗電界Ec= $4kV/cm$ と、優れた特性を示すものである。したがって、この $Bi_4Ti_3O_{12}$ のもつ大きな自発分極を強誘電体不揮発性メモリである等に応用するためには、基板に垂直方向に結晶のa軸成分を多く持つようにすることが望ましい。

【0007】 $Bi_4Ti_3O_{12}$ の薄膜化は、これまでも、MOCVD法やゾルーゲル法により試みられているが、それらのほとんどが自発分極が小さいc軸配向膜である。また、従来のゾルーゲル法を用いた強誘電体薄膜形成では、良好な強誘電特性を得るために650℃以上の熱処理が必要であり、さらに、膜表面モフォロジーが0.5μm程度の結晶粒からなるので、微細加工を必要

とする高集積デバイスに適用するのが困難である。一方、MOCVD法による強誘電体薄膜形成では、c軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜が基板温度 $600^\circ\text{C}$ 以上で、Pt電極層/SiO<sub>2</sub>絶縁膜/Si基板やPt基板上に作製されているが、これらの基板はそのまま実際のデバイス構造に適用できるものではない。即ち、Pt/Ti/SiO<sub>2</sub>/Si基板のように、Pt電極層とその下のSiO<sub>2</sub>膜との接着強度を確保するためのTi膜等の接着層が必要である。ところが、このような接着層を設けたPt電極基板上に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜をMOCVD法により作製した場合、その膜表面モフォロジーは、0.5 $\mu\text{m}$ 程度の粗大結晶粒からなると共に、常誘電性のパイロクロア相( $\text{Bi}_2\text{Ti}_2\text{O}_7$ )が発生し易くなることが報告されている(Jpn. J. Appl. Phys., 32, 1993, pp. 408 6、及びJ. Ceramic Soc. Japan, 102, 1994, pp. 512参照)。

【0008】膜表面モフォロジーが粗大結晶粒からなると、微細加工を必要とする高集積デバイスには適用できないばかりか、薄い膜厚ではピンホールの原因となり、リーク電流の発生をもたらしことになる。したがって、このような従来技術では、200nm以下の薄い膜厚で良好な強誘電特性を有する強誘電体薄膜を実現することは困難な状況である。

【0009】

【発明が解決しようとする課題】以上のように、上記従来技術では、強誘電体薄膜を高集積デバイスに適用するのに、微細加工や低リーク電流のために必要な薄膜表面の緻密性や平坦性、大きな残留分極、低温成膜プロセス等の様々な条件を十分に満たすものが得られていないという問題を有している。

【0010】本発明は、上記のような課題を解決するためになされたものであって、薄膜表面が緻密で平坦で、リーク電流特性に優れ、かつ十分に大きな残留自発分極を示す強誘電体薄膜が低温プロセスで作製可能な強誘電体薄膜被覆基板及びそれを用いたキャパシタ構造素子を提供することを目的としている。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に強誘電体薄膜が形成されて成る強誘電体薄膜被覆基板において、強誘電体薄膜上にその強誘電体薄膜を覆うオーバーコート層を設けている。

【0012】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層を金属酸化物から成るものとしている。

【0013】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層が酸化チタンから成るものとしている。

【0014】さらに、本発明では、上記の強誘電体薄膜被覆基板において、強誘電体薄膜がチタン酸ビスマスから成り、オーバーコート層が酸化チタンから成ることとしている。

【0015】また、本発明では、上記の強誘電体薄膜被覆基板において、基板と強誘電体薄膜との間にバッファ層を設けている。

【0016】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層及びバッファ層を金属酸化物から成るものとしている。

【0017】さらに、本発明では、上記の強誘電体薄膜被覆基板において、オーバーコート層及びバッファ層を酸化チタンから成るものとしている。

【0018】さらに、本発明では、上記の強誘電体薄膜被覆基板において、強誘電体薄膜がチタン酸ビスマスから成り、オーバーコート層及びバッファ層が酸化チタンから成ることとしている。

【0019】また、本発明では、上記の強誘電体薄膜被覆基板を用いて、基板と強誘電体薄膜との間に第1の導電性電極を配置し、オーバーコート層の上部に第2の導電性電極を配置してキャパシタ構造素子を構成している。

【0020】本発明の強誘電体薄膜被覆基板では、基板上に強誘電体薄膜が形成されて成る強誘電体薄膜被覆基板において、強誘電体薄膜上にその強誘電体薄膜を覆うオーバーコート層を設けているので、強誘電体薄膜が粗大粒子から成り、その表面が粗くても、強誘電体薄膜上のオーバーコート層により、強誘電体薄膜表面の凹凸が埋められ、緻密で表面平滑な薄膜を得ることができる。すなわち、従来では、結晶性の向上に伴い、結晶粒子の粗大化、膜表面の荒れによるリーク電流の増大が問題となっていたが、本発明の強誘電体薄膜被覆基板によれば、結晶性が優れ、かつ緻密で表面平滑な薄膜を得ることができるというものである。

【0021】また、本発明の強誘電体薄膜被覆基板では、さらに基板と強誘電体薄膜との間にバッファ層を設けて、強誘電体薄膜の上下を同種の金属酸化物層で挟んだ構造としているので、膜の多層構造に起因する強誘電性ヒステリシスループの非対称性の発生を防ぐことができ、対称性の良いヒステリシスループを得ることができる。すなわち、強誘電体薄膜を2つの同種材料の層で挟んだ構造を採用することにより、上下の対称性の良い膜の構造を実現し、膜構造の非対称性に起因するヒステリシスループの非対称性を防止することができるというものである。

【0022】

【発明の実施の形態】以下、本発明の実施の一形態について、図面を参照して説明する。図1は、本発明の第1の実施形態である強誘電体薄膜被覆基板から構成されるキャパシタ構造素子の構造を示す図である。図1に示すように、このキャパシタ構造素子は、シリコン(Si)基板1上に、酸化シリコン(SiO<sub>2</sub>)層2、接着層3、下部電極4、強誘電体薄膜5、オーバーコート層6、及び上部電極7が、それぞれ順次形成されているも



のである。

【0023】第1の実施形態では、シリコン基板1としてはシリコン単結晶ウエハを用い、SiO<sub>2</sub>層2としてはシリコン単結晶ウエハ表面を熱酸化して得られる酸化シリコン薄膜を用いた。また、接着層3としてはタンタル(Ta)薄膜を、下部電極4としては白金(Pt)薄膜を、強誘電体薄膜5としてはチタン酸ビスマス薄膜(Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜)を、オーバーコート層6としては酸化チタン(TiO<sub>2</sub>)薄膜を、上部電極7としては白金(Pt)薄膜をそれぞれ用いた。

【0024】次に、図1に示した第1の実施形態の強誘電体薄膜被覆基板の製造方法について説明する。まず、Pt/Ta/SiO<sub>2</sub>/Si基板の作製について説明する。シリコン基板1であるシリコン単結晶ウエハ(100)面の表面を熱酸化することにより、膜厚200nmのSiO<sub>2</sub>層2を形成する。そして、接着層3であるTa薄膜を膜厚30nmで、そして、下部電極層4であるPt薄膜を膜厚200nmで、それぞれスパッタ法により形成した。

【0025】なお、ここで、これらの材料や膜厚は、本実施形態に限定されるものではなく、シリコン単結晶基板の代わりに多結晶シリコン基板やGaAs基板等を用いても良い。また、接着層は、成膜中に基板と下部電極層との熱膨張率が異なることに起因する膜の剥離を防止するものであり、膜厚は膜の剥離を防止できる程度であ\*

\*れば良く、材料についてもTa以外にチタン(Ti)等を用いることができるが、本実施形態の場合、TiとPtとの合金が形成されるのでTaを用いるのが好ましい。また、絶縁層に用いたSiO<sub>2</sub>層は、熱酸化により作製されたものでなくても良く、スパッタ法、真空蒸着法、MOCVD法等により形成されたSiO<sub>2</sub>膜や窒化シリコン膜等を用いることができ、材料も膜厚も十分に絶縁性を有するものであれば良い。

【0026】また、下部電極についても、膜厚は充分に電極層として機能できる程度であれば良く、材料はPtに限定されるものでなく、通常の電極材料に用いられる導電性材料で良いが、他の薄膜との関連で適宜選択でき得るものである。また、成膜方法も、シリコン熱酸化やスパッタ法に限定されるものでなく、真空蒸着法等の通常の薄膜形成技術を用いて行っても良い。また、基板構造も上記のものに限定されるものではない。

【0027】次いで、このようにして作製したPt/Ta/SiO<sub>2</sub>/Si基板の上に、強誘電体薄膜5であるBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜、及びオーバーコート層6であるTiO<sub>2</sub>薄膜をMOCVD法により順次形成した。Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜の成膜条件を表1に示す。

【0028】

【表1】

原料	Bi(o-C <sub>7</sub> H <sub>7</sub> ) <sub>3</sub>	Ti(i-OC <sub>3</sub> H <sub>7</sub> ) <sub>4</sub>
原料温度	160℃	50℃
キャリアガス(Ar)流量	200sccm	100sccm
反応ガス(O <sub>2</sub> )流量	1000sccm	
成膜室内ガス圧力	5Torr	

【0029】Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜の成膜は、表1に示すようにBi原料としてトリオルトトリルビルビスマス(Bi(o-C<sub>7</sub>H<sub>7</sub>)<sub>3</sub>)を、Ti原料としてチタンイソプロポキシaid(Ti(i-OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>)をそれぞれ用いて、これらの原料を表1に示す原料温度にそれぞれ加熱気化して(Bi原料160℃、Ti原料50℃)、キャリアガスであるアルゴン(Ar)ガスと反応ガスである酸素(O<sub>2</sub>)ガスと共に成膜室内に供給した。ここで、Arガス供給時の流量はBi原料に対して200sccm、Ti原料に対して100sccmとし、O<sub>2</sub>ガス供給時の流量は1000sccmとした。なお、この成膜工程において、成膜室内の真空度は、10Torr以上であると気相反応が起こりやすいので、5Torrとした。このような条件で、基板温度を600℃とし、膜厚100nmのBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜を、約30分間の成膜時間で成膜を行った。

【0030】引き続き、基板温度を400℃に設定し、Ti原料としてチタンイソプロポキシaid(Ti(i-OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>)を用い、この原料を50℃に加熱気化

※し、Arキャリアガス(流量50sccm)で供給し、膜厚が5nmの酸化チタンオーバーコート層を、約2分間の成膜時間で形成した。この成膜工程においても、成膜室内の真空度は、5Torrとした。なお、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜とTiO<sub>2</sub>オーバーコート層とのトータル膜厚は、105nmである。

【0031】なお、ここで、オーバーコート層の膜厚としては、強誘電体薄膜に十分な電圧を印加するために、できるだけ薄いほうが望ましく、また、強誘電体薄膜の表面凹凸を被覆するためにはある程度の膜厚が必要である。この点について検討したところ、オーバーコート層の膜厚は、2~7nmにおいて良好な結果が得られた。

【0032】以上のようにして、形成したオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜の表面モフォロジーについて、SEM(走査型電子顕微鏡)により観察した結果を図2に示す。図2によれば、本実施形態により得られた薄膜の表面は、微細な結晶粒子から成り、緻密で表面平滑な薄膜が得られていることがわかる。

【0033】また、この薄膜の結晶性を、X線回折によ

り評価した結果を図3に示す。図3において、(001) (1は整数)は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  (層状ペロブスカイト相)のc軸配向成分による回折ピークを表し、(117)は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  (層状ペロブスカイト相)のa軸成分を含む(117)配向成分による回折ピークであり、得られた薄膜は、c軸配向性の強い $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ であることがわかる。

【0034】比較例として、第1の実施形態と同様のPt/Ta/SiO<sub>2</sub>/Si基板を用いて、オーバーコート層のない $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜 (膜厚105nm)を第1の実施形態と同様の条件でMOCVD法により形成した。この比較例の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の表面モフォロジーをSEM観察した結果、図4に示すように、この薄膜は粗大粒子からなり、表面凹凸が激しいものとなっていた。このことから、第1の実施形態のオーバーコート層が、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜表面の凹凸の隙間を埋めることで、表面形状が緻密で平坦な薄膜を作製できることがわかった。

【0035】第1の実施形態のTiO<sub>2</sub>オーバーコート層上に、上部電極として、Pt電極(100μmφ)を真空蒸着法により形成して、図1に示したようなキャパシタ構造素子の作製を完了した。

【0036】次に、第1の実施形態のキャパシタ構造素子について、リーク電流特性 (リーク電流密度の印加電圧依存性)を測定した結果を図5に示す。図5から、このキャパシタ構造素子では、例えば印加電圧3Vで、リーク電流密度 $I_l = 8 \times 10^{-7} \text{ A/cm}^2$ という値が得られた。さらに、このキャパシタ構造素子について、強誘電特性の測定を行った結果、図6に示すような明確なヒステリシスループが得られ、3V印加時で、残留自発分極 $P_r = 5 \mu\text{C/cm}^2$ 、抗電界 $E_c = 70 \text{ kV/cm}$ という値が得られた。

【0037】次いで、第2の実施形態として、図7に示すように、上記第1の実施形態の下部電極4と強誘電体薄膜5との間に、バッファ層8を設けた強誘電体薄膜被覆基板から成るキャパシタ構造素子について説明する。

【0038】第2の実施形態の作製については、上記第1の実施形態と同様のPt/Ta/SiO<sub>2</sub>/Si基板を用いて、この上に、MOCVD法により酸化チタン(TiO<sub>2</sub>)バッファ層を形成した。このときの成膜条件は、基板温度を400℃に設定し、Ti原料としてチタンイソプロポキシド( $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ )を用い、この原料を50℃に加熱気化し、Arキャリアガス (流量50sccm)で供給し、膜厚が5nmの酸化チタンバッファ層を、成膜時間約2分間で形成した。この成膜工程において、成膜室内の真空度は、10 Torr以上であると気相反応が起こりやすくなるので、5 Torrとした。

【0039】なお、ここで、バッファ層の膜厚としては、上記第1の実施形態で説明したオーバーコート層と

同様、強誘電体薄膜に十分な電圧を印加するためにできるだけ薄いほうが望ましいが、バッファ層としての機能を果たすには1~10nmの範囲であれば良好な結果が得られることを確認できた。

【0040】このTiO<sub>2</sub>バッファ層の上に、上記第1の実施形態と同様に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 強誘電体薄膜及びTiO<sub>2</sub>オーバーコート層を、順次MOCVD法により形成した。なお、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜及びTiO<sub>2</sub>オーバーコート層のそれぞれの膜厚は、上記第1の実施形態と同じであるので、TiO<sub>2</sub>バッファ層、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、及びTiO<sub>2</sub>オーバーコート層のトータル膜厚は、110nmである。

【0041】このようにして作製した薄膜の表面モフォロジーを、SEMにより観察した結果を図8に示す。図8によれば、本実施形態のオーバーコート層付き $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜は、粒径0.1μmのグレインから成る緻密かつ表面平滑なものであることがわかる。また、上記第1の実施形態のものと比較すると、薄膜を構成する結晶粒は、第2の実施形態のものの方が小さくなっていることがわかる。すなわち、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の上下を、バッファ層とオーバーコート層とで挟んだ構造とすることにより、より結晶粒の小さい、緻密な膜が得られるという結果が得られた。

【0042】また、この第2の実施形態のオーバーコート層付き $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の結晶性を、X線回折により評価した結果を図9に示す。図9から、得られた薄膜は、上記第1の実施形態のものと比較して、a軸成分を含む(117)反射強度が大きくなっていることがわかる。

【0043】次に、第2の実施形態のオーバーコート層付き $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜上に、上記第1の実施形態と同様に、Pt上部電極を形成して、リーク電流特性 (リーク電流密度の印加電圧依存性)を測定した結果を図10に示す。図10から、このキャパシタ構造素子では、例えば印加電圧3Vで、リーク電流密度 $I_l = 6 \times 10^{-8} \text{ A/cm}^2$ という小さな良好な値が得られた。さらに、このキャパシタ構造素子について、強誘電特性の測定を行った結果、図11に示すような明確なヒステリシスループが得られ、3V印加時で、残留自発分極 $P_r = 7.5 \mu\text{C/cm}^2$ 、抗電界 $E_c = 130 \text{ kV/cm}$ という値が得られた。図11のヒステリシスループを、図6の第1の実施形態のものと比較すると、 $P_r$ 値が大きくなったばかりでなく、対称性が改善されていることがわかる。これは、強誘電体薄膜の上下を、バッファ層とオーバーコート層とで挟んだ構造とすることにより、強誘電体薄膜上下の対称性の良い膜の構造が実現できたので、膜構造の非対称性に起因するヒステリシスループの非対称性を防ぐことができたためである。

【0044】なお、上記実施形態では、基板としてPt/Ta/SiO<sub>2</sub>/Si基板を用いたキャパシタ構造素

子としたが、これに限定されるものではない。例えば、SiやGaAs基板に集積回路が形成され、その集積回路の表面に酸化シリコンや窒化シリコン等の層間絶縁膜が被覆され、この層間絶縁膜の一部に形成されたコンタクトホールを介して、集積回路の要素と電気的に接続された電極層が層間絶縁膜上に形成され、その電極層上に本発明の強誘電体薄膜を形成するような構成にしても良い。即ち、本発明は、上記実施形態のキャパシタ構造やトランジスタ構造を初めとした集積回路の要素と電気的に接続した集積回路素子、その他の強誘電体メモリ素子、焦電センサ素子、圧電素子等、様々な高集積デバイスに適用可能なものである。

【0045】なお、上記実施形態では、オーバーコート層の材料として、酸化チタンを用いたが、これに限定されるものではなく、金属酸化物が好ましいものであり、具体的には、酸化タンタル、酸化ニオブ、チタン酸ストロンチウム、チタン酸バリウム、酸化ジルコン、酸化アルミ、酸化ビスマス、酸化イットリウム、酸化ハフニウム等が挙げられる。また、バッファ層の材料についても、上記実施形態では酸化チタンを用いたが、これに

【0046】

【発明の効果】以上のように、本発明によれば、オーバーコート層が被覆された強誘電体薄膜の膜構造とすることにより、100 $\mu$ m程度の極薄い膜厚においても、平滑性及び緻密性に優れたオーバーコート層被覆強誘電体

【0047】さらに、本発明によれば、バッファ層を設けることにより、ヒステリシスループの非対称性を改善することができ、高品質な強誘電体薄膜被覆基板や様々な電子デバイスを提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態の強誘電体薄膜被覆基板から成るキャパシタ構造素子の構造を示す概略断面図である。

【図2】第1の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜表面のSEMによる観察結果を示す顕微鏡写真である。

【図3】第1の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜のX線回折による観察結果を示す図である。

【図4】比較例のオーバーコート層がないBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>薄膜表面のSEMによる観察結果を示す顕微鏡写真である。

【図5】第1の実施形態のキャパシタ構造素子のリーク電流密度I<sub>l</sub>の印加電圧依存性を示す図である。

【図6】第1の実施形態のキャパシタ構造素子の強誘電性ヒステリシスループを示す図である。

【図7】第2の実施形態の強誘電体薄膜被覆基板から成るキャパシタ構造素子の構造を示す断面概略図である。

【図8】第2の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜表面のSEMによる観察結果を示す顕微鏡写真である。

【図9】第2の実施形態のオーバーコート層付きBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>強誘電体薄膜のX線回折による観察結果を示す図である。

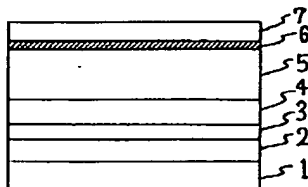
【図10】第2の実施形態のキャパシタ構造素子のリーク電流密度I<sub>l</sub>の印加電圧依存性を示す図である。

【図11】第2の実施形態のキャパシタ構造素子の強誘電性ヒステリシスループを示す図である。

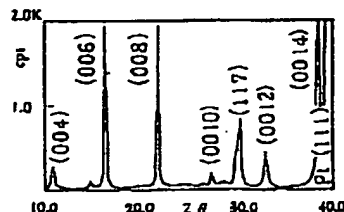
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン層
- 3 接着層
- 4 下部電極
- 5 強誘電体薄膜
- 6 オーバーコート層
- 7 上部電極
- 8 バッファ層

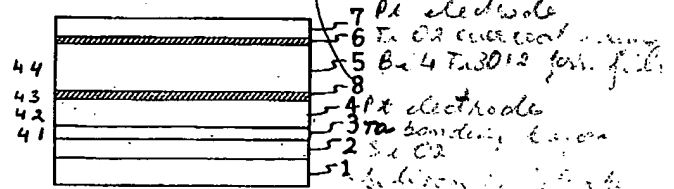
【図1】



【図3】



【図7】



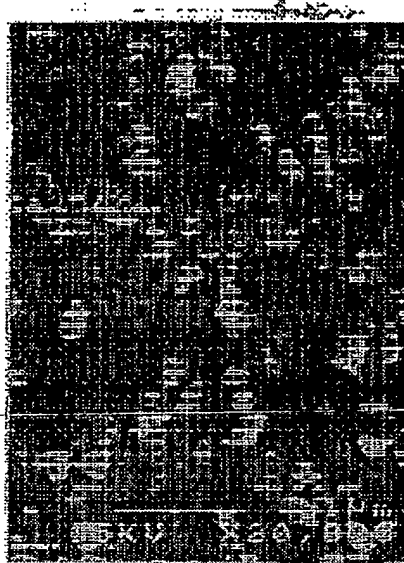
【図2】

図面代用写真

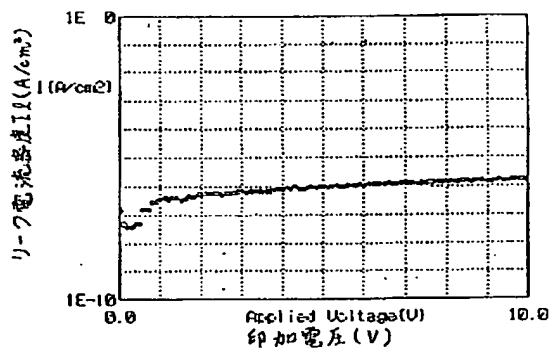


【図4】

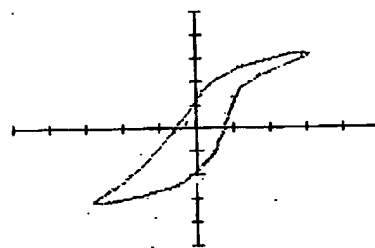
図面代用写真



【図5】

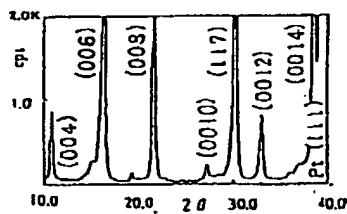


【図6】

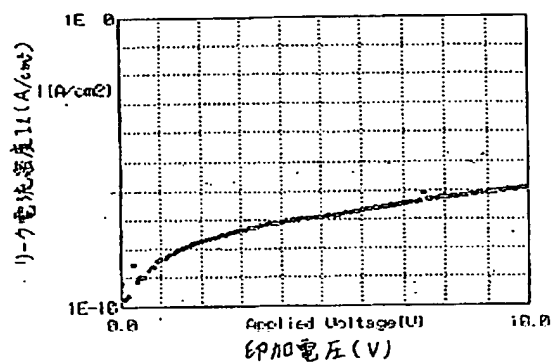


X div = 100 kV/cm  
Y div = 3 μC/cm<sup>2</sup>

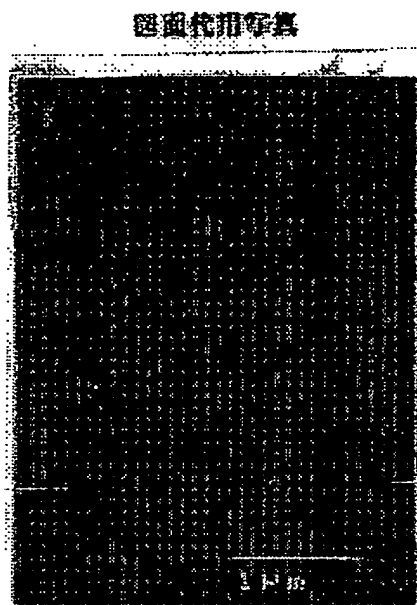
【図9】



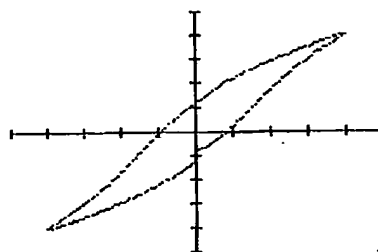
【図10】



【図8】



【図11】



$Xdiv = 150 \text{ kV/cm}$   
 $Ydiv = 7 \mu\text{C/cm}^2$

フロントページの続き

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/04			H01L 21/314	A
21/822			27/04	C
27/108			27/10	651
21/8242			41/08	C
37/02			41/18	101D
41/09				101Z
41/187				
41/18				
49/02				
// H01L 21/314				

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260516

(43)Date of publication of application : 03.10.1997

(51)Int.Cl. H01L 21/8247  
 H01L 29/788  
 H01L 29/792  
 C01G 23/00  
 G11C 11/22  
 H01L 27/04  
 H01L 21/822  
 H01L 27/108  
 H01L 21/8242  
 H01L 37/02  
 H01L 41/09  
 H01L 41/187  
 H01L 41/18  
 H01L 49/02  
 // H01L 21/314

(21)Application number : 08-090160

(71)Applicant : SHARP CORP

(22)Date of filing : 18.03.1996

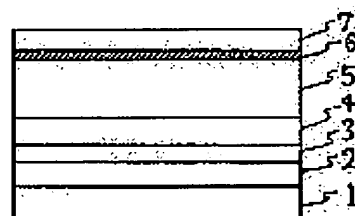
(72)Inventor : SATO SAKIKO  
 MATSUNAGA HIRONORI  
 KIJIMA TAKESHI

## (54) SUBSTRATE COVERED WITH FERROELECTRIC THIN FILM AND CAPACITOR STRUCTURE DEVICE USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a capacitor structure device by forming an overcoat layer covering a ferroelectric thin film on it, and forming a ferroelectric thin film by a low temperature process which film has a dense and flat surface, is excellent in leakage current characteristics, and exhibits large residual spontaneous polarization.

**SOLUTION:** An SiO<sub>2</sub> layer 2 is formed by thermally oxidizing the surface, (100) face, of a silicon single crystal wafer, being a silicon substrate 1. A Ta thin film as a bonding layer 3, and a Pt thin film as a lower electrode layer 4 are formed. On a Pt/Ta/SiO<sub>2</sub>/Si substrate, a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film as a ferroelectric thin film 5 is formed. A TiO<sub>2</sub> thin film as an overcoat layer 6 is formed, on which a Pt electrode as an upper electrode 7 is formed by vacuum deposition method. Thus a capacitor structure device is formed. A ferroelectric thin film covered with an overcoat layer excellent in flatness and denseness can be obtained, so that leakage current characteristics are remarkably improved, and an excellent ferroelectric characteristics can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The ferroelectric thin film covering substrate characterized by having arranged the wrap overcoat layer in this ferroelectric thin film on the aforementioned ferroelectric thin film in the ferroelectric thin film covering substrate which a ferroelectric thin film is formed on a substrate and changes.

[Claim 2] The ferroelectric thin film covering substrate according to claim 1 characterized by the aforementioned overcoat layer consisting of a metallic oxide.

[Claim 3] The ferroelectric thin film covering substrate according to claim 2 characterized by the aforementioned overcoat layer consisting of titanium oxide.

[Claim 4] The ferroelectric thin film covering substrate according to claim 3 characterized by for the aforementioned ferroelectric thin film consisting of a titanate-acid bismuth, and the aforementioned overcoat layer consisting of titanium oxide.

[Claim 5] The ferroelectric thin film covering substrate according to claim 1 characterized by changing through a buffer layer between the aforementioned substrate and the aforementioned ferroelectric thin film.

[Claim 6] The ferroelectric thin film covering substrate according to claim 5 characterized by the aforementioned overcoat layer and the aforementioned buffer layer consisting of a metallic oxide.

[Claim 7] The ferroelectric thin film covering substrate according to claim 6 characterized by the aforementioned overcoat layer and the aforementioned buffer layer consisting of titanium oxide.

[Claim 8] The ferroelectric thin film covering substrate according to claim 7 characterized by for the aforementioned ferroelectric thin film consisting of a titanate-acid bismuth, and the aforementioned overcoat layer and the aforementioned buffer layer consisting of titanium oxide.

[Claim 9] The capacitor constituent child characterized by being a capacitor constituent child using the ferroelectric thin film covering substrate given in any 1 term of claims 1-8, having arranged the 1st conductive electrode between the aforementioned substrate and the aforementioned ferroelectric thin film, and having arranged the 2nd conductive electrode at the upper part of the aforementioned overcoat layer.

---

[Translation done.]



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of the ferroelectric thin film and ferroelectric thin film covering substrate which are used for a ferroelectric memory device, a pyroelectric-sensor element, a piezoelectric device, etc., a capacitor constituent child, and a ferroelectric thin film.

[0002]

[Description of the Prior Art] Since a ferroelectric has many functions, such as spontaneous polarization, a high dielectric constant, the electro-optical effect, piezoelectricity effect, and a pyroelectric effect, it is applied to extensive device development, such as a capacitor, VCO, an optical modulator, or an infrared sensor. However, these application has been conventionally performed in the state of a single crystal or ceramics.

[0003] On the other hand, the application which was not in the former is expected with progress of a thin film coating technology now when a quality ferroelectric thin film came to be obtained. Recently, development of the ferroelectric non-volatile memory (FRAM) which operates at high speed especially with high density at the thing with semiconductor memory elements, such as DRAM, to combine is performed briskly. Ferroelectric random-access memory is the strong dielectric characteristics (spontaneity) of a ferroelectric. Anti-electric field ( $E_c$ ) are small to such device development, remains spontaneous polarization ( $P_r$ ) is large, and material with properties, such as excelling in the repeat resistance of polarization reversal, is [ it is a low leakage current and ] required for it. Furthermore, since reduction of operating voltage and a semiconductor micro-processing process are suited, to realize the above-mentioned property by the thin film of 200nm or less of thickness is desired.

[0004] Now, thin film-ization of the oxide ferroelectric which has perovskite structures, such as  $PbTiO_3$ ,  $Pb(Zr_{1-x}Ti_x)O_3$  (PZT), and PLZT, for the purpose of the application to FRAM etc. is tried by the thin film formation methods, such as the sputtering method, a vacuum deposition, a sol-gel method, the MOD method, and the MOCVD method.

[0005] PZT is studied present most intensively among above-mentioned ferroelectric material, and that in which the remains spontaneous polarization  $P_r$  has 10microC/cm<sup>2</sup> to 26microC/cm<sup>2</sup> and a big value is also obtained. However, since Pb with high vapor pressure is included, there is a trouble that degradation of a leakage current or polarization reversal repeat resistance takes place, with reduction of thickness as a result of that the film composition change in the time of membrane formation and heat treatment etc. tends to take place, generating of a pinhole, generating of the low dielectric constant layer by the reaction of the ground electrodes Pt and Pb, etc. For this reason, development of other materials excellent in strong dielectric characteristics and polarization reversal resistance is desired. Moreover, when the application to an accumulation device is considered, the compactness of the thin film which can respond to micro processing, and surface smooth nature are also needed.

[0006] On the other hand, there is a titanate-bismuth ( $Bi_4Ti_3O_{12}$ ) which has a stratified perovskite structure as a leakage current and an oxide ferroelectric which does not contain Pb which has a bad influence on polarization reversal resistance. the strong dielectric characteristics in the single crystal -- a shaft orientations -- remains spontaneous-polarization  $P_r=50\text{microC/cm}^2$  -- anti- -- the property which was excellent in electric-field  $E_c=50\text{kV/cm}$  and c shaft orientations with remains spontaneous-polarization  $P_r=4\text{microC/cm}^2$  and anti-electric-field  $E_c=4\text{ kV/cm}$  is shown therefore, it is ferroelectric non-volatile memory about the big spontaneous polarization which this  $Bi_4Ti_3O_{12}$  has -- etc. -- in order to apply, it is desirable to have many a-axis components of a crystal in a substrate perpendicularly

[0007] Although thin film-ization of  $Bi_4Ti_3O_{12}$  is tried by the MOCVD method or the sol-gel method, it is a c axis orientation film with small most [ those ] spontaneous polarization until now. Moreover, in order to obtain good strong dielectric characteristics, 650 degrees C or more need to be heat-treated of the ferroelectric thin film formation using the conventional sol-gel method, and since film surface morphology consists of crystal grain which is about 0.5 micrometers further, it is difficult [ it ] to apply to the high accumulation device which needs micro processing. On the other hand, although  $3OBi_4Ti_{12}$  thin film of c axis orientation is 600 degrees C or more in substrate temperature and is produced in the ferroelectric thin film formation by the MOCVD method on Pt electrode layer /  $SiO_2$  insulator layer / Si substrate, or Pt substrate, these substrates are not applicable to actual device structure as they are. That is, glue lines, such as Ti film for securing the bond strength of Pt electrode layer and  $SiO_2$  film under it, are required like a Pt/Ti/ $SiO_2$ /Si substrate. When  $3OBi_4Ti_{12}$  thin film is produced by the MOCVD method on Pt electrode substrate which prepared such a glue line, however, the film surface morphology While consisting of about 0.5-micrometer big and rough crystal grain The bird clapper is reported that it is easy to generate the pyrochlore phase ( $Bi_2Ti_2O_7$ ) of a usual state dielectric (Jpn.J.Appl.Phys., 32 and 1993, pp.4086 and J.Ceramic Soc.Japan, 102 and 1994, pp.512 reference).

[0008] If film surface morphology consists of big and rough crystal grain, in being inapplicable to the high accumulation device which needs micro processing, and thin thickness, it will become the cause of a pinhole and will become cod roe also about generating of a leakage current. Therefore, it is a difficult situation to realize the ferroelectric thin film which has good strong dielectric characteristics by thin thickness 200nm or less with such conventional technology.

[0009]

[Problem(s) to be Solved by the Invention] As mentioned above, it has the problem that what fully fills various conditions,

such as micro processing, compactness on the front face of a thin film required for a low leakage current, flat nature, a big remanence, and a low-temperature membrane formation process, with the above-mentioned conventional technology although a ferroelectric thin film is applied to a high accumulation device is not obtained.

[0010] It is made in order that this invention may solve the above technical problems, and a thin film front face is precise, it is flat, and the ferroelectric thin film which is excellent in a leakage-current property, and shows remains spontaneous polarization big enough aims at offering the capacitor constituent child using a ferroelectric thin film covering substrate and it producible in a low-temperature process.

[0011]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in this invention, the wrap overcoat layer is prepared for the ferroelectric thin film on the ferroelectric thin film in the ferroelectric thin film covering substrate which a ferroelectric thin film is formed on a substrate and changes.

[0012] Furthermore, in this invention, the overcoat layer shall be consisted of the metallic oxide in the above-mentioned ferroelectric thin film covering substrate.

[0013] Furthermore, in this invention, the overcoat layer shall consist of titanium oxide in the above-mentioned ferroelectric thin film covering substrate.

[0014] Furthermore, in this invention, it is supposed in the above-mentioned ferroelectric thin film covering substrate that a ferroelectric thin film consists of a titanate-acid bismuth, and an overcoat layer consists of titanium oxide.

[0015] Moreover, in this invention, the buffer layer is prepared between the substrate and the ferroelectric thin film in the above-mentioned ferroelectric thin film covering substrate.

[0016] Furthermore, in this invention, the overcoat layer and the buffer layer shall be consisted of the metallic oxide in the above-mentioned ferroelectric thin film covering substrate.

[0017] Furthermore, in this invention, the overcoat layer and the buffer layer shall be consisted of titanium oxide in the above-mentioned ferroelectric thin film covering substrate.

[0018] Furthermore, in this invention, it is supposed in the above-mentioned ferroelectric thin film covering substrate that a ferroelectric thin film consists of a titanate-acid bismuth, and an overcoat layer and a buffer layer consist of titanium oxide.

[0019] Moreover, using the above-mentioned ferroelectric thin film covering substrate, the 1st conductive electrode is arranged between a substrate and a ferroelectric thin film, the 2nd conductive electrode is arranged in the upper part of an overcoat layer, and the capacitor constituent child consists of this inventions.

[0020] in the ferroelectric thin film covering substrate which a ferroelectric thin film is formed on a substrate and changes, a ferroelectric thin film consists of a big and rough particle, and since the wrap overcoat layer is prepared for the ferroelectric thin film on the ferroelectric thin film, even if the front face is coarse, the irregularity of a ferroelectric thin film front face buries by the ferroelectric thin film covering substrate of this invention by the overcoat layer on a ferroelectric thin film -- having -- precise -- a front face -- a smooth thin film can be obtained namely, -- according to [ although increase of the leakage current by the dry area on a crystal grain child's big-and-rough-izing and the front face of a film had become a problem with crystalline improvement in the former ] the ferroelectric thin film covering substrate of this invention -- crystallinity -- excelling -- and -- precise -- a front face -- a smooth thin film can be obtained

[0021] Moreover, in the ferroelectric thin film covering substrate of this invention, since it is considering as the structure which prepared the buffer layer between the substrate and the ferroelectric thin film further, and sandwiched the upper and lower sides of a ferroelectric thin film in the metallic-oxide layer of the same kind, asymmetric generating of the ferroelectricity hysteresis loop resulting from membranous multilayer structure can be prevented, and the good hysteresis loop of symmetric property can be acquired. That is, the asymmetry of the hysteresis loop which realizes structure of the good film of up-and-down symmetric property, and originates in the asymmetry of a membrane structure can be prevented by adopting the structure which sandwiched the ferroelectric thin film in the layer of two of-the-same-kind material.

[0022]

[Embodiments of the Invention] Hereafter, one form of operation of this invention is explained with reference to a drawing. Drawing 1 is drawing showing a capacitor constituent child's structure which consists of ferroelectric thin film covering substrates which are the 1st operation form of this invention. As shown in drawing 1, as for this capacitor constituent child, the silicon-oxide (SiO<sub>2</sub>) layer 2, a glue line 3, the lower electrode 4, the ferroelectric thin film 5, the overcoat layer 6, and the up electrode 7 are formed one by one on the silicon (Si) substrate 1, respectively.

[0023] the 1st operation gestalt -- as a silicon substrate 1 -- a silicon-single-crystal wafer -- using -- SiO two-layer -- the silicon-oxide thin film which oxidizes thermally a silicon-single-crystal wafer front face as 2, and is obtained was used moreover -- as a glue line 3 -- a tantalum (Ta) thin film -- as the lower electrode 4 -- a platinum (Pt) thin film -- as a ferroelectric thin film 5, as an overcoat layer 6, the titanium oxide (TiO<sub>2</sub>) thin film was used, and the platinum (Pt) thin film was used for the titanate-acid bismuth thin film (30Bi<sub>4</sub>Ti<sub>12</sub> thin film) as an up electrode 7, respectively

[0024] Next, the manufacture method of the ferroelectric thin film covering substrate of the 1st operation gestalt shown in drawing 1 is explained. First, production of a Pt/Ta/SiO<sub>2</sub>/Si substrate is explained. oxidizing thermally the front face of the silicon-single-crystal wafer (100) side which is a silicon substrate 1 -- the SiO two-layer of 200nm of thickness -- 2 is formed And it is 30nm of thickness about Ta thin film which is a glue line 3, and Pt thin film which is the lower electrode layer 4 was formed by the spatter by 200nm of thickness, respectively.

[0025] In addition, such material or thickness are not limited to this operation gestalt, and a polycrystal silicon substrate, a GaAs substrate, etc. may be used for them instead of a silicon-single-crystal substrate here. Moreover, a glue line prevents ablation of the film resulting from the coefficient of thermal expansion of a substrate and a lower electrode layer differing during membrane formation, and it is [ that what is necessary is just the grade which can prevent ablation of a film ] desirable [ thickness ] in the case of this operation gestalt, since the alloy of Ti and Pt is formed, although things can be carried out to use [ which uses titanium (Ti) etc. also about material in addition to Ta ] Ta. Moreover, the SiO two-layer used for the insulating layer could be produced by thermal oxidation, SiO<sub>2</sub> film, a silicon nitride film, etc. which were formed by the spatter, the vacuum deposition method, the MOCVD method, etc. can be used for it, and material and thickness should just fully have insulation.

[0026] Moreover, although a conductive material which is not limited to Pt and used for the usual electrode material is [ that

what is necessary is just to be ] sufficient as material a grade, it is the thing on which thickness can fully function as an electrode layer also about a lower electrode and which can be suitably chosen in connection with other thin films. Moreover, the membrane formation method is also limited to neither silicon thermal oxidation nor a spatter, and may be performed using the usual thin film coating technologies, such as a vacuum deposition method. Moreover, substrate structure is not limited to the above-mentioned thing, either.

[0027] Subsequently, the Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film which is the ferroelectric thin film 5, and TiO<sub>2</sub> thin film which is the overcoat layer 6 were formed one by one by the MOCVD method on the Pt/Ta/SiO<sub>2</sub>/Si substrate which carried out in this way and was produced. The membrane formation conditions of a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film are shown in Table 1.

[0028]

[Table 1]

原料	Bi(o-C <sub>7</sub> H <sub>7</sub> ) <sub>3</sub>	Ti(i-OC <sub>3</sub> H <sub>7</sub> ) <sub>4</sub>
原料温度	160℃	50℃
キャリアガス (Ar) 流量	200sccm	100sccm
反応ガス (O <sub>2</sub> ) 流量	1000sccm	
成膜室内ガス圧力	5 Torr	

[0029] As shown in Table 1, membrane formation of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film as a Bi raw material a triol TOTORIRU virile bismuth (Bi<sub>3</sub> (o-C<sub>7</sub>H<sub>7</sub>)) A titanium iso PUROPOKI side (Ti<sub>4</sub> (i-OC<sub>3</sub>H<sub>7</sub>)) is used as a Ti raw material, respectively. Heating evaporation was carried out at the raw material temperature which shows these raw materials in Table 1, respectively (160 degrees C of Bi raw materials, 50 degrees C of Ti raw materials), and the membrane formation interior of a room was supplied with the oxygen (O<sub>2</sub>) gas which is the argon (Ar) gas and reactant gas which are carrier gas. Here, the flow rate at the time of Ar gas supply was set to 100sccm(s) to 200sccm(s) and Ti raw material to Bi raw material, and the flow rate at the time of O<sub>2</sub> gas supply was set to 1000sccm(s). In addition, in this membrane formation process, since gaseous phase reaction tended to have occurred that they are 10 or more Torrs, the degree of vacuum of the membrane formation interior of a room was set to 5Torr. Substrate temperature was made into 600 degrees C on such conditions, and membranes were formed in membrane formation time for about 30 minutes in 3OBi<sub>4</sub>Ti<sub>12</sub> thin film of 100nm of thickness.

[0030] Then, substrate temperature was set as 400 degrees C, and the heating evaporation of this raw material was carried out at 50 degrees C, using a titanium iso PUROPOKI side (Ti<sub>4</sub> (i-OC<sub>3</sub>H<sub>7</sub>)) as a Ti raw material, it supplied by Ar carrier gas (flow rate 50sccm), and the titanium oxide overcoat layer whose thickness is 5nm was formed in membrane formation time for about 2 minutes. Also in this membrane formation process, the degree of vacuum of the membrane formation interior of a room was set to 5Torr. In addition, the total thickness of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film and a TiO<sub>2</sub> overcoat layer is 105nm.

[0031] In addition, a certain amount of [ the one thinner possible here in order to impress sufficient voltage for a ferroelectric thin film as thickness of an overcoat layer is desirable, and / in order to cover the surface irregularity of a ferroelectric thin film ] thickness is required. When this point was examined, as for the thickness of an overcoat layer, the good result was obtained in 2-7nm.

[0032] The result observed by SEM (scanning electron microscope) is shown in drawing 2 about the surface morphology of the Bi<sub>4</sub>Ti<sub>3</sub>with overcoat layer O<sub>12</sub> ferroelectric thin film formed as mentioned above. from a crystal grain child with the front face of the thin film obtained according to this operation gestalt detailed according to drawing 2 -- changing -- precise -- a front face -- it turns out that the smooth thin film is obtained

[0033] Moreover, the result which evaluated the crystallinity of this thin film by the X diffraction is shown in drawing 3 . drawing 3 -- setting (1 (001) being an integer) -- the diffraction peak by the c axis orientation component of Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> (stratified perovskite phase) is expressed, (117) is a diffraction peak by the orientation component containing the a-axis component (117) of Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> (stratified perovskite phase), and it turns out that the obtained thin film is strong Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> of a c axis stacking tendency

[0034] As an example of comparison, 3OBi<sub>4</sub>Ti<sub>12</sub> thin film (105nm of thickness) without an overcoat layer was formed by the MOCVD method on the same conditions as the 1st operation gestalt using the same Pt/Ta/SiO<sub>2</sub>/Si substrate as the 1st operation gestalt. As a result of carrying out SEM observation of the surface morphology of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film of this example of comparison, as shown in drawing 4 , this thin film consisted of a big and rough particle, and had become what has intense surface irregularity. This showed that the overcoat layer of the 1st operation gestalt could produce a thin film precise [ the shape of surface type ], and flat by filling the crevice between the irregularity of a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> thin-film front face.

[0035] On the TiO<sub>2</sub> overcoat layer of the 1st operation form, Pt electrode (100micrometerphi) was formed by the vacuum deposition method as an up electrode, and production of a capacitor constituent child as showed drawing 1 was completed.

[0036] Next, the result which measured the leakage-current property (applied-voltage dependency of leakage-current density) is shown in drawing 5 about the capacitor constituent child of the 1st operation form. By this capacitor constituent child, the value of leakage-current density  $I_l=8 \times 10^{-7}$  A/cm<sup>2</sup> was acquired from drawing 5 , for example by applied-voltage 3V. furthermore, as a result of performing measurement of strong dielectric characteristics about this capacitor constituent child, the clear hysteresis loop as shown in drawing 6 obtains -- having -- the time of 3V impression -- it is -- remains spontaneous-polarization  $P_r=5 \text{ microC/cm}^2$  -- anti- -- the value of electric-field  $E_c=70 \text{ kV/cm}$  was acquired

[0037] Subsequently, as 2nd operation form, as shown in drawing 7 , the capacitor constituent child who consists of the ferroelectric thin film covering substrate which formed the buffer layer 8 between the lower electrode 4 of the operation form of the above 1st and the ferroelectric thin film 5 is explained.

[0038] About production of the 2nd operation form, the titanium oxide (TiO<sub>2</sub>) buffer layer was formed by the MOCVD method on this using the same Pt/Ta/SiO<sub>2</sub>/Si substrate as the operation form of the above 1st. The membrane formation conditions at this time set substrate temperature as 400 degrees C, carried out the heating evaporation of this raw material at

50 degrees C, using a titanium iso PUROPOKI side (Ti4 (i-OC3H7)) as a Ti raw material, supplied it by Ar carrier gas (flow rate 50sccm), and formed the titanium oxide buffer layer whose thickness is 5nm in [ membrane formation time ] about 2 minutes. In this membrane formation process, since gaseous phase reaction became it easy to occur to be 10 or more Torrs, the degree of vacuum of the membrane formation interior of a room was set to 5Torr.

[0039] In addition, like the overcoat layer explained with the operation form of the above 1st as thickness of a buffer layer, when it was the range of 1-10nm for achieving the function as a buffer layer although the thinner possible one was desirable in order to impress sufficient voltage for a ferroelectric thin film, it has checked that a good result was obtained here.

[0040] On this TiO<sub>2</sub> buffer layer, the Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film and the TiO<sub>2</sub> overcoat layer were formed by the MOCVD method one by one like the operation form of the above 1st. In addition, since each thickness of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film and a TiO<sub>2</sub> overcoat layer is the same as the operation form of the above 1st, the total thickness of TiO<sub>2</sub> buffer layer, Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, and a TiO<sub>2</sub> overcoat layer is 110nm.

[0041] Thus, the result which observed the surface morphology of the produced thin film by SEM is shown in drawing 8 . according to drawing 8 , 3OBi<sub>4</sub>Ti<sub>12</sub> with an overcoat layer thin film of this operation form consists of a grain with a particle size of 0.1 micrometers -- precise and a front face -- it turns out that it is smooth Moreover, as for the crystal grain which constitutes a thin film as compared with the thing of the operation form of the above 1st, it turns out that the way of the thing of the 2nd operation form is small. That is, the result that a precise film with more small crystal grain was obtained was obtained by making the upper and lower sides of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film into the structure inserted in the buffer layer and the overcoat layer.

[0042] Moreover, the result which evaluated the crystallinity of 3OBi<sub>4</sub>Ti<sub>12</sub> with an overcoat layer thin film of this 2nd operation form by the X diffraction is shown in drawing 9 . Drawing 9 shows that the reflectivity in which the obtained thin film contains an a-axis component as compared with the thing of the operation form of the above 1st (117) is large.

[0043] Next, on the Bi<sub>4</sub>Ti<sub>3</sub>with overcoat layer O<sub>12</sub> thin film of the 2nd operation form, like the operation form of the above 1st, Pt up electrode is formed and the result which measured the leakage-current property (applied-voltage dependency of leakage-current density) is shown at drawing 10 . By this capacitor constituent child, the good small value of leakage-current density  $I_l=6 \times 10^{-8}$  A/cm<sup>2</sup> was acquired from drawing 10 , for example by applied-voltage 3V. Furthermore, as a result of performing measurement of strong dielectric characteristics about this capacitor constituent child, the clear hysteresis loop as shown in drawing 11 was acquired, it is at the 3V impression time, and the value of remains spontaneous-polarization  $P_r=7.5 \mu\text{C}/\text{cm}^2$  and anti-electric-field  $E_c=130$  kV/cm was acquired. It turns out  $P_r$  value not only became large, but that symmetric property is improved in the hysteresis loop of drawing 11 as compared with the thing of the 1st operation form of drawing 6 . Since this realized structure of the good film of the symmetric property of the ferroelectric thin film upper and lower sides by making the upper and lower sides of a ferroelectric thin film into the structure inserted in the buffer layer and the overcoat layer, it is because the asymmetry of the hysteresis loop resulting from the asymmetry of a membrane structure was prevented.

[0044] in addition, \*\* limited to this although considered as the capacitor constituent child who used the Pt/Ta/SiO<sub>2</sub>/Si substrate as a substrate with the above-mentioned operation form -- it is -- yes For example, you may make it composition which an integrated circuit is formed in Si or a GaAs substrate, and layer insulation films, such as a silicon oxide and a silicon nitride, are covered by the front face of the integrated circuit, and the electrode layer electrically connected with the element of an integrated circuit is formed on a layer insulation film through the contact hole formed in a part of this layer insulation film, and forms the ferroelectric thin film of this invention on the electrode layer. That is, this invention can apply the capacitor structure and transistor structure of the above-mentioned operation form to various high accumulation devices, such as an integrated circuit device electrically connected with the element of the integrated circuit made into the start, other ferroelectric memory devices, a pyroelectric-sensor element, and a piezoelectric device.

[0045] In addition, with the above-mentioned operation form, as a material of an overcoat layer, although titanium oxide was used, it is not limited to this, and a metallic oxide is desirable and, specifically, tantalum oxide, a niobium oxide, a strontium titanate, a barium titanate, oxidization zircon, oxidization aluminum, a bismuth oxide, a yttrium oxide, an oxidization hafnium, etc. are mentioned. Moreover, although titanium oxide was used with the above-mentioned operation form also about the material of a buffer layer, it is not limited to this, and a metallic oxide is desirable and, specifically, tantalum oxide, a niobium oxide, a strontium titanate, a barium titanate, oxidization zircon, oxidization aluminum, a bismuth oxide, a yttrium oxide, an oxidization hafnium, etc. are mentioned.

[0046]

[Effect of the Invention] As mentioned above, since the overcoat layer covering ferroelectric thin film which was excellent in smooth nature and compactness also in about 100-micrometer very thin thickness can be obtained by considering as the membrane structure of the ferroelectric thin film with which the overcoat layer was covered according to this invention, a leakage-current property is raised sharply and it becomes realizable [ outstanding strong dielectric characteristics ].

[0047] Furthermore, according to this invention, by preparing a buffer layer, the asymmetry of the hysteresis loop can be improved and it becomes possible to offer a quality ferroelectric thin film covering substrate and various electron devices.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

TECHNICAL FIELD

---

[The technical field to which invention belongs] this invention relates to the manufacture method of the ferroelectric thin film and ferroelectric thin film covering substrate which are used for a ferroelectric memory device, a pyroelectric-sensor element, a piezoelectric device, etc., a capacitor constituent child, and a ferroelectric thin film.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

PRIOR ART

---

[Description of the Prior Art] Since a ferroelectric has many functions, such as spontaneous polarization, a high dielectric constant, the electro-optical effect, piezoelectricity effect, and a pyroelectric effect, it is applied to extensive device development, such as a capacitor, VCO, an optical modulator, or an infrared sensor. However, these application has been conventionally performed in the state of a single crystal or ceramics.

[0003] On the other hand, the application which was not in the former is expected with progress of a thin film coating technology now when a quality ferroelectric thin film came to be obtained. Recently, development of the ferroelectric non-volatile memory (FRAM) which operates at high speed especially with high density at the thing with semiconductor memory elements, such as DRAM, to combine is performed briskly. Ferroelectric random-access memory is the strong dielectric characteristics of a ferroelectric.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## EFFECT OF THE INVENTION

---

the backup power supply using the (spontaneous-polarization effect) -- it is unnecessary non-volatile memory Anti-electric field ( $E_c$ ) are small to such device development, remains spontaneous polarization ( $P_r$ ) is large, and material with properties, such as excelling in the repeat resistance of polarization reversal, is [ it is a low leakage current and ] required for it.

Furthermore, since reduction of operating voltage and a semiconductor micro-processing process are suited, to realize the above-mentioned property by the thin film of 200nm or less of thickness is desired.

[0004] Now, thin film-ization of the oxide ferroelectric which has perovskite structures, such as  $PbTiO_3$ ,  $Pb(Zr_{1-x}Ti_x)O_3$  (PZT), and PLZT, for the purpose of the application to FRAM etc. is tried by the thin film formation methods, such as the sputtering method, a vacuum deposition, a sol-gel method, the MOD method, and the MOCVD method.

[0005] PZT is studied present most intensively among above-mentioned ferroelectric material, and that in which the remains spontaneous polarization  $P_r$  has 10microC/cm<sup>2</sup> to 26microC/cm<sup>2</sup> and a big value is also obtained. However, since Pb with high vapor pressure is included, there is a trouble that degradation of a leakage current or polarization reversal repeat resistance takes place, with reduction of thickness as a result of that the film composition change in the time of membrane formation and heat treatment etc. tends to take place, generating of a pinhole, generating of the low dielectric constant layer by the reaction of the ground electrodes Pt and Pb, etc. For this reason, development of other materials excellent in strong dielectric characteristics and polarization reversal resistance is desired. Moreover, when the application to an accumulation device is considered, the compactness of the thin film which can respond to micro processing, and surface smooth nature are also needed.

[0006] On the other hand, there is a titanate-bismuth ( $Bi_4Ti_3O_{12}$ ) which has a stratified perovskite structure as a leakage current and an oxide ferroelectric which does not contain Pb which has a bad influence on polarization reversal resistance.

the strong dielectric characteristics in the single crystal -- a shaft orientations -- remains spontaneous-polarization  $P_r=50\text{microC/cm}^2$  -- anti- -- the property which was excellent in electric-field  $E_c=50\text{kV/cm}$  and c shaft orientations with remains spontaneous-polarization  $P_r=4\text{microC/cm}^2$  and anti-electric-field  $E_c=4\text{ kV/cm}$  is shown therefore, it is ferroelectric non-volatile memory about the big spontaneous polarization which this  $Bi_4Ti_3O_{12}$  has -- etc. -- in order to apply, it is desirable to have many a-axis components of a crystal in a substrate perpendicularly

[0007] Although thin film-ization of  $Bi_4Ti_3O_{12}$  is tried by the MOCVD method or the sol-gel method, it is a c axis orientation film with small most [ those ] spontaneous polarization until now. Moreover, in order to obtain good strong dielectric characteristics, 650 degrees C or more need to be heat-treated of the ferroelectric thin film formation using the conventional sol-gel method, and since film surface morphology consists of crystal grain which is about 0.5 micrometers further, it is difficult [ it ] to apply to the high accumulation device which needs micro processing. On the other hand, although  $3OBi_4Ti_{12}$  thin film of c axis orientation is 600 degrees C or more in substrate temperature and is produced in the ferroelectric thin film formation by the MOCVD method on Pt electrode layer /  $SiO_2$  insulator layer / Si substrate, or Pt substrate, these substrates are not applicable to actual device structure as they are. That is, glue lines, such as Ti film for securing the bond strength of Pt electrode layer and  $SiO_2$  film under it, are required like a Pt/Ti/ $SiO_2$ /Si substrate. However, when  $3OBi_4Ti_{12}$  thin film is produced by the MOCVD method on Pt electrode substrate which prepared such a glue line, it is the film surface morphology. While consisting of about 0.5-micrometer big and rough crystal grain, the bird clapper is reported that it is easy to generate the pyrochlore phase ( $Bi_2Ti_2O_7$ ) of a usual state dielectric (Jpn.J.Appl.Phys., 32 and 1993, pp.4086 and J.Ceramic Soc.Japan, 102 and 1994, pp.512 reference).

[0008] If film surface morphology consists of big and rough crystal grain, in being inapplicable to the high accumulation device which needs micro processing, and thin thickness, it will become the cause of a pinhole and will become cod roe also about generating of a leakage current. Therefore, it is a difficult situation to realize the ferroelectric thin film which has good strong dielectric characteristics by thin thickness 200nm or less with such conventional technology.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

TECHNICAL PROBLEM

---

[Problem(s) to be Solved by the Invention] As mentioned above, it has the problem that what fully fills various conditions, such as micro processing, compactness on the front face of a thin film required for a low leakage current, flat nature, a big remanence, and a low-temperature membrane formation process, with the above-mentioned conventional technology although a ferroelectric thin film is applied to a high accumulation device is not obtained.

[0010] It is made in order that this invention may solve the above technical problems, and a thin film front face is precise, it is flat, and the ferroelectric thin film which is excellent in a leakage-current property, and shows remains spontaneous polarization big enough aims at offering the capacitor constituent child using a ferroelectric thin film covering substrate and it producible in a low-temperature process.

---

[Translation done.]



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## MEANS

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in this invention, the wrap overcoat layer is prepared for the ferroelectric thin film on the ferroelectric thin film in the ferroelectric thin film covering substrate which a ferroelectric thin film is formed on a substrate and changes.

[0012] Furthermore, in this invention, the overcoat layer shall be consisted of the metallic oxide in the above-mentioned ferroelectric thin film covering substrate.

[0013] Furthermore, in this invention, the overcoat layer shall consist of titanium oxide in the above-mentioned ferroelectric thin film covering substrate.

[0014] Furthermore, in this invention, it is supposed in the above-mentioned ferroelectric thin film covering substrate that a ferroelectric thin film consists of a titanate-bismuth, and an overcoat layer consists of titanium oxide.

[0015] Moreover, in this invention, the buffer layer is prepared between the substrate and the ferroelectric thin film in the above-mentioned ferroelectric thin film covering substrate.

[0016] Furthermore, in this invention, the overcoat layer and the buffer layer shall be consisted of the metallic oxide in the above-mentioned ferroelectric thin film covering substrate.

[0017] Furthermore, in this invention, the overcoat layer and the buffer layer shall be consisted of titanium oxide in the above-mentioned ferroelectric thin film covering substrate.

[0018] Furthermore, in this invention, it is supposed in the above-mentioned ferroelectric thin film covering substrate that a ferroelectric thin film consists of a titanate-bismuth, and an overcoat layer and a buffer layer consist of titanium oxide.

[0019] Moreover, using the above-mentioned ferroelectric thin film covering substrate, the 1st conductive electrode is arranged between a substrate and a ferroelectric thin film, the 2nd conductive electrode is arranged in the upper part of an overcoat layer, and the capacitor constituent child consists of this inventions.

[0020] in the ferroelectric thin film covering substrate which a ferroelectric thin film is formed on a substrate and changes, a ferroelectric thin film consists of a big and rough particle, and since the wrap overcoat layer is prepared for the ferroelectric thin film on the ferroelectric thin film, even if the front face is coarse, the irregularity of a ferroelectric thin film front face buries by the ferroelectric thin film covering substrate of this invention by the overcoat layer on a ferroelectric thin film -- having -- precise -- a front face -- a smooth thin film can be obtained namely, -- according to [ although increase of the leakage current by the dry area on a crystal grain child's big-and-rough-izing and the front face of a film had become a problem with crystalline improvement in the former ] the ferroelectric thin film covering substrate of this invention -- crystallinity -- excelling -- and -- precise -- a front face -- a smooth thin film can be obtained

[0021] Moreover, in the ferroelectric thin film covering substrate of this invention, since it is considering as the structure which prepared the buffer layer between the substrate and the ferroelectric thin film further, and sandwiched the upper and lower sides of a ferroelectric thin film in the metallic-oxide layer of the same kind, asymmetric generating of the ferroelectricity hysteresis loop resulting from membranous multilayer structure can be prevented, and the good hysteresis loop of symmetric property can be acquired. That is, the asymmetry of the hysteresis loop which realizes structure of the good film of up-and-down symmetric property, and originates in the asymmetry of a membrane structure can be prevented by adopting the structure which sandwiched the ferroelectric thin film in the layer of two of-the-same-kind material.

[0022]

[Embodiments of the Invention] Hereafter, one form of operation of this invention is explained with reference to a drawing. Drawing 1 is drawing showing a capacitor constituent child's structure which consists of ferroelectric thin film covering substrates which are the 1st operation form of this invention. As shown in drawing 1, as for this capacitor constituent child, the silicon-oxide (SiO<sub>2</sub>) layer 2, a glue line 3, the lower electrode 4, the ferroelectric thin film 5, the overcoat layer 6, and the up electrode 7 are formed one by one on the silicon (Si) substrate 1, respectively.

[0023] the 1st operation form -- as a silicon substrate 1 -- a silicon-single-crystal wafer -- using -- SiO two-layer -- the silicon-oxide thin film which oxidizes thermally a silicon-single-crystal wafer front face as 2, and is obtained was used moreover -- as a glue line 3 -- a tantalum (Ta) thin film -- as the lower electrode 4 -- a platinum (Pt) thin film -- as a ferroelectric thin film 5, as an overcoat layer 6, the titanium oxide (TiO<sub>2</sub>) thin film was used, and the platinum (Pt) thin film was used for the titanate-bismuth thin film (30Bi<sub>4</sub>Ti<sub>12</sub> thin film) as an up electrode 7, respectively

[0024] Next, the manufacture method of the ferroelectric thin film covering substrate of the 1st operation form shown in drawing 1 is explained. First, production of a Pt/Ta/SiO<sub>2</sub>/Si substrate is explained. oxidizing thermally the front face of the silicon-single-crystal wafer (100) side which is a silicon substrate 1 -- the SiO two-layer of 200nm of thickness -- 2 is formed And it is 30nm of thickness about Ta thin film which is a glue line 3, and Pt thin film which is the lower electrode layer 4 was formed by the sputter by 200nm of thickness, respectively.

[0025] In addition, such material or thickness are not limited to this operation form, and a polycrystal silicon substrate, a GaAs substrate, etc. may be used for them instead of a silicon-single-crystal substrate here. Moreover, a glue line prevents exfoliation of the film resulting from the coefficient of thermal expansion of a substrate and a lower electrode layer differing during membrane formation, and it is [ that what is necessary is just the grade which can prevent exfoliation of a film ] desirable [ thickness ] in the case of this operation form, since the alloy of Ti and Pt is formed, although things can be carried out to use [ which uses titanium (Ti) etc. also about material in addition to Ta ] Ta. Moreover, the SiO two-layer used for the

insulating layer could be produced by thermal oxidation, SiO<sub>2</sub> film, a silicon nitride film, etc. which were formed by the spatter, the vacuum deposition method, the MOCVD method, etc. can be used for it, and material and thickness should just fully have insulation.

[0026] Moreover, although a conductive material which is not limited to Pt and used for the usual electrode material is [ that what is necessary is just to be ] sufficient as material a grade, it is the thing on which thickness can fully function as an electrode layer also about a lower electrode and which can be suitably chosen in connection with other thin films. Moreover, the membrane formation method is also limited to neither silicon thermal oxidation nor a spatter, and may be performed using the usual thin film coating technologies, such as a vacuum deposition method. Moreover, substrate structure is not limited to the above-mentioned thing, either.

[0027] Subsequently, the Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film which is the ferroelectric thin film 5, and TiO<sub>2</sub> thin film which is the overcoat layer 6 were formed one by one by the MOCVD method on the Pt/Ta/SiO<sub>2</sub>/Si substrate which carried out in this way and was produced. The membrane formation conditions of a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film are shown in Table 1.

[0028]

[Table 1]

原料	Bi(o-C <sub>7</sub> H <sub>7</sub> ) <sub>3</sub>	Ti(i-OC <sub>3</sub> H <sub>7</sub> ) <sub>4</sub>
原料温度	160℃	50℃
キャリアガス (Ar) 流量	200sccm	100sccm
反応ガス (O <sub>2</sub> ) 流量	1000sccm	
成膜室内ガス圧力	5Torr	

[0029] As shown in Table 1, membrane formation of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film as a Bi raw material a triol TOTORIRU virile bismuth (Bi<sub>3</sub> (o-C<sub>7</sub>H<sub>7</sub>)) A titanium iso PUROPOKI side (Ti<sub>4</sub> (i-OC<sub>3</sub>H<sub>7</sub>)) is used as a Ti raw material, respectively. Heating evaporation was carried out at the raw material temperature which shows these raw materials in Table 1, respectively (160 degrees C of Bi raw materials, 50 degrees C of Ti raw materials), and the membrane formation interior of a room was supplied with the oxygen (O<sub>2</sub>) gas which is the argon (Ar) gas and reactant gas which are carrier gas. Here, the flow rate at the time of Ar gas supply was set to 100sccm(s) to 200sccm(s) and Ti raw material to Bi raw material, and the flow rate at the time of O<sub>2</sub> gas supply was set to 1000sccm(s). In addition, in this membrane formation process, since gaseous phase reaction tended to have occurred that they are 10 or more Torrs, the degree of vacuum of the membrane formation interior of a room was set to 5Torr. Substrate temperature was made into 600 degrees C on such conditions, and membranes were formed in membrane formation time for about 30 minutes in 3OBi<sub>4</sub>Ti<sub>12</sub> thin film of 100nm of thickness.

[0030] Then, substrate temperature was set as 400 degrees C, and the heating evaporation of this raw material was carried out at 50 degrees C, using a titanium iso PUROPOKI side (Ti<sub>4</sub> (i-OC<sub>3</sub>H<sub>7</sub>)) as a Ti raw material, it supplied by Ar carrier gas (flow rate 50sccm), and the titanium oxide overcoat layer whose thickness is 5nm was formed in membrane formation time for about 2 minutes. Also in this membrane formation process, the degree of vacuum of the membrane formation interior of a room was set to 5Torr. In addition, the total thickness of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film and a TiO<sub>2</sub> overcoat layer is 105nm.

[0031] In addition, a certain amount of [ the one thinner possible here in order to impress sufficient voltage for a ferroelectric thin film as thickness of an overcoat layer is desirable, and / in order to cover the surface irregularity of a ferroelectric thin film ] thickness is required. When this point was examined, as for the thickness of an overcoat layer, the good result was obtained in 2-7nm.

[0032] The result observed by SEM (scanning electron microscope) is shown in drawing 2 about the surface morphology of the Bi<sub>4</sub>Ti<sub>3</sub>with overcoat layer O12 ferroelectric thin film formed as mentioned above. from a crystal grain child with the front face of the thin film obtained according to this operation form detailed according to drawing 2 -- changing -- precise -- a front face -- it turns out that the smooth thin film is obtained

[0033] Moreover, the result which evaluated the crystallinity of this thin film by the X diffraction is shown in drawing 3 . drawing 3 -- setting (l (00l) being an integer) -- the diffraction peak by the c axis orientation component of Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> (stratified perovskite phase) is expressed, (117) is a diffraction peak by the orientation component containing the a-axis component (117) of Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> (stratified perovskite phase), and it turns out that the obtained thin film is strong Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> of a c axis stacking tendency

[0034] As an example of comparison, 3OBi<sub>4</sub>Ti<sub>12</sub> thin film (105nm of thickness) without an overcoat layer was formed by the MOCVD method on the same conditions as the 1st operation form using the same Pt/Ta/SiO<sub>2</sub>/Si substrate as the 1st operation form. As a result of carrying out SEM observation of the surface morphology of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film of this example of comparison, as shown in drawing 4 , this thin film consisted of a big and rough particle, and had become what has intense surface irregularity. This showed that the overcoat layer of the 1st operation form could produce a thin film precise [ the shape of surface type ], and flat by filling the crevice between the irregularity of a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> thin-film front face.

[0035] On the TiO<sub>2</sub> overcoat layer of the 1st operation form, Pt electrode (100micrometerphi) was formed by the vacuum deposition method as an up electrode, and production of a capacitor constituent child as showed drawing 1 was completed.

[0036] Next, the result which measured the leakage-current property (applied-voltage dependency of leakage-current density) is shown in drawing 5 about the capacitor constituent child of the 1st operation form. By this capacitor constituent child, the value of leakage-current density  $I_l=8 \times 10^{-7}$  A/cm<sup>2</sup> was acquired from drawing 5 , for example by applied-voltage 3V. furthermore, as a result of performing measurement of strong dielectric characteristics about this capacitor constituent child, the clear hysteresis loop as shown in drawing 6 obtains -- having -- the time of 3V impression -- it is -- remains spontaneous-polarization  $P_r=5 \text{ microC/cm}^2$  -- anti- -- the value of electric-field  $E_c=70 \text{ kV/cm}$  was acquired

[0037] Subsequently, as 2nd operation form, as shown in drawing 7 , the capacitor constituent child who consists of the ferroelectric thin film covering substrate which formed the buffer layer 8 between the lower electrode 4 of the operation form

of the above 1st and the ferroelectric thin film 5 is explained.

[0038] About production of the 2nd operation form, the titanium oxide ( $\text{TiO}_2$ ) buffer layer was formed by the MOCVD method on this using the same Pt/Ta/SiO<sub>2</sub>/Si substrate as the operation form of the above 1st. The membrane formation conditions at this time set substrate temperature as 400 degrees C, carried out the heating evaporation of this raw material at 50 degrees C, using a titanium iso PUROPOKI side (Ti4 (i-OC3H7)) as a Ti raw material, supplied it by Ar carrier gas (flow rate 50sccm), and formed the titanium oxide buffer layer whose thickness is 5nm in [ membrane formation time ] about 2 minutes. In this membrane formation process, since gaseous phase reaction became it easy to occur to be 10 or more Torrs, the degree of vacuum of the membrane formation interior of a room was set to 5Torr.

[0039] In addition, like the overcoat layer explained with the operation form of the above 1st as thickness of a buffer layer, when it was the range of 1-10nm for achieving the function as a buffer layer although the thinner possible one was desirable in order to impress sufficient voltage for a ferroelectric thin film, it has checked that a good result was obtained here.

[0040] On this TiO<sub>2</sub> buffer layer, the Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> ferroelectric thin film and the TiO<sub>2</sub> overcoat layer were formed by the MOCVD method one by one like the operation form of the above 1st. In addition, since each thickness of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film and a TiO<sub>2</sub> overcoat layer is the same as the operation form of the above 1st, the total thickness of TiO<sub>2</sub> buffer layer, Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, and a TiO<sub>2</sub> overcoat layer is 110nm.

[0041] Thus, the result which observed the surface morphology of the produced thin film by SEM is shown in drawing 8. according to drawing 8, 3OBi<sub>4</sub>Ti<sub>12</sub> with an overcoat layer thin film of this operation form consists of a grain with a particle size of 0.1 micrometers -- precise and a front face -- it turns out that it is smooth Moreover, as for the crystal grain which constitutes a thin film as compared with the thing of the operation form of the above 1st, it turns out that the way of the thing of the 2nd operation form is small. That is, the result that a precise film with more small crystal grain was obtained was obtained by making the upper and lower sides of 3OBi<sub>4</sub>Ti<sub>12</sub> thin film into the structure inserted in the buffer layer and the overcoat layer.

[0042] Moreover, the result which evaluated the crystallinity of 3OBi<sub>4</sub>Ti<sub>12</sub> with an overcoat layer thin film of this 2nd operation form by the X diffraction is shown in drawing 9. Drawing 9 shows that the reflectivity in which the obtained thin film contains an a-axis component as compared with the thing of the operation form of the above 1st (117) is large.

[0043] Next, on the Bi<sub>4</sub>Ti<sub>3</sub> with overcoat layer O<sub>12</sub> thin film of the 2nd operation form, like the operation form of the above 1st, Pt up electrode is formed and the result which measured the leakage-current property (applied-voltage dependency of leakage-current density) is shown at drawing 10. By this capacitor constituent child, the good small value of leakage-current density  $I_l = 6 \times 10^{-8}$  A/cm<sup>2</sup> was acquired from drawing 10, for example by applied-voltage 3V. Furthermore, as a result of performing measurement of strong dielectric characteristics about this capacitor constituent child, the clear hysteresis loop as shown in drawing 11 was acquired, it is at the 3V impression time, and the value of remains spontaneous-polarization  $P_r = 7.5 \text{ microC/cm}^2$  and anti-electric-field  $E_c = 130 \text{ kV/cm}$  was acquired. It turns out  $P_r$  value not only became large, but that symmetric property is improved in the hysteresis loop of drawing 11 as compared with the thing of the 1st operation form of drawing 6. Since this realized structure of the good film of the symmetric property of the ferroelectric thin film upper and lower sides by making the upper and lower sides of a ferroelectric thin film into the structure inserted in the buffer layer and the overcoat layer, it is because the asymmetry of the hysteresis loop resulting from the asymmetry of a membrane structure was prevented.

[0044] in addition, \*\* limited to this although considered as the capacitor constituent child who used the Pt/Ta/SiO<sub>2</sub>/Si substrate as a substrate with the above-mentioned operation form -- it is -- yes For example, you may make it composition which an integrated circuit is formed in Si or a GaAs substrate, and layer insulation films, such as a silicon oxide and a silicon nitride, are covered by the front face of the integrated circuit, and the electrode layer electrically connected with the element of an integrated circuit is formed on a layer insulation film through the contact hole formed in a part of this layer insulation film, and forms the ferroelectric thin film of this invention on the electrode layer. That is, this invention can apply the capacitor structure and transistor structure of the above-mentioned operation form to various high accumulation devices, such as an integrated circuit device electrically connected with the element of the integrated circuit made into the start, other ferroelectric memory devices, a pyroelectric-sensor element, and a piezoelectric device.

[0045] In addition, with the above-mentioned operation gestalt, as a material of an overcoat layer, although titanium oxide was used, it is not limited to this, and a metallic oxide is desirable and, specifically, tantalum oxide, a niobium oxide, a strontium titanate, a barium titanate, oxidization zircon, oxidization aluminum, a bismuth oxide, a yttrium oxide, an oxidization hafnium, etc. are mentioned. Moreover, although titanium oxide was used with the above-mentioned operation gestalt also about the material of a buffer layer, it is not limited to this, and a metallic oxide is desirable and, specifically, tantalum oxide, a niobium oxide, a strontium titanate, a barium titanate, oxidization zircon, oxidization aluminum, a bismuth oxide, a yttrium oxide, an oxidization hafnium, etc. are mentioned.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline cross section showing the structure of the capacitor constituent child who consists of the ferroelectric thin film covering substrate of the 1st operation gestalt.

[Drawing 2] It is the microphotography in which the observation result by SEM of the Bi<sub>4</sub>Ti<sub>3</sub> with overcoat layer O12 ferroelectric thin film front face of the 1st operation gestalt is shown.

[Drawing 3] It is drawing showing the observation result by the X diffraction of the Bi<sub>4</sub>Ti<sub>3</sub> with overcoat layer O12 ferroelectric thin film of the 1st operation gestalt.

[Drawing 4] It is the microphotography in which the observation result by SEM of a Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> thin-film front face without the overcoat layer of the example of comparison is shown.

[Drawing 5] It is drawing showing the applied-voltage dependency of the leakage-current density  $I_l$  of the capacitor constituent child of the 1st operation gestalt.

[Drawing 6] It is drawing showing the ferroelectricity hysteresis loop of the capacitor constituent child of the 1st operation gestalt.

[Drawing 7] It is the cross-section schematic diagram showing the structure of the capacitor constituent child who consists of the ferroelectric thin film covering substrate of the 2nd operation gestalt.

[Drawing 8] It is the microphotography in which the observation result by SEM of the Bi<sub>4</sub>Ti<sub>3</sub> with overcoat layer O12 ferroelectric thin film front face of the 2nd operation gestalt is shown.

[Drawing 9] It is drawing showing the observation result by the X diffraction of the Bi<sub>4</sub>Ti<sub>3</sub> with overcoat layer O12 ferroelectric thin film of the 2nd operation gestalt.

[Drawing 10] It is drawing showing the applied-voltage dependency of the leakage-current density  $I_l$  of the capacitor constituent child of the 2nd operation gestalt.

[Drawing 11] It is drawing showing the ferroelectricity hysteresis loop of the capacitor constituent child of the 2nd operation gestalt.

[Description of Notations]

- 1 Silicon Substrate
- 2 Silicon-Oxide Layer
- 3 Glue Line
- 4 Lower Electrode
- 5 Ferroelectric Thin Film
- 6 Overcoat Layer
- 7 Up Electrode
- 8 Buffer Layer

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

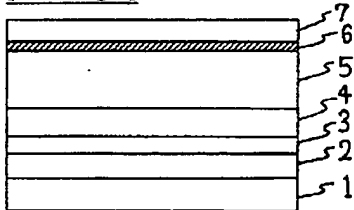
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

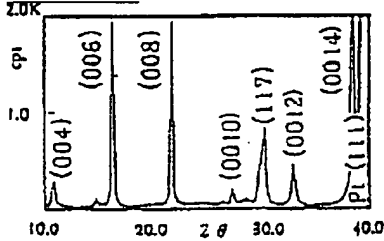
DRAWINGS

---

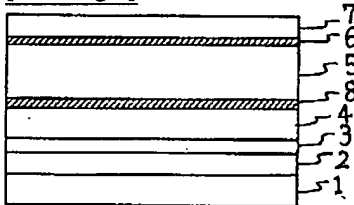
[Drawing 1]



[Drawing 3]

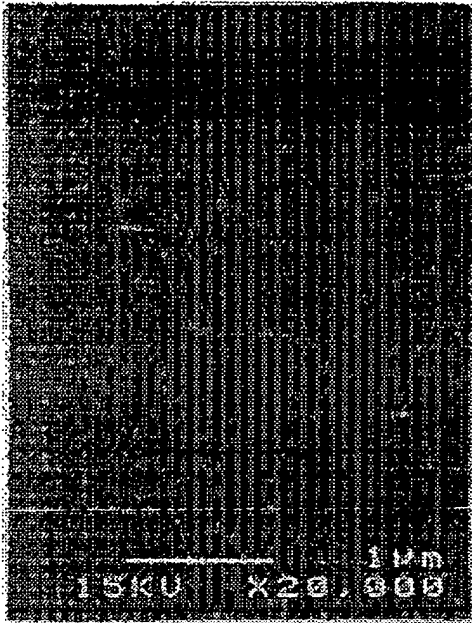


[Drawing 7]



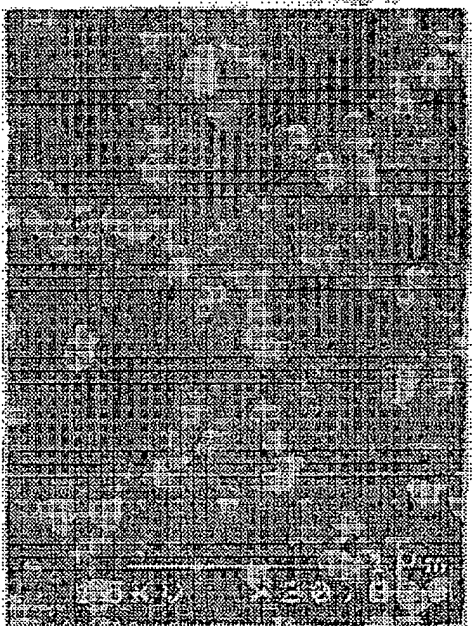
[Drawing 2]

図面代用写真

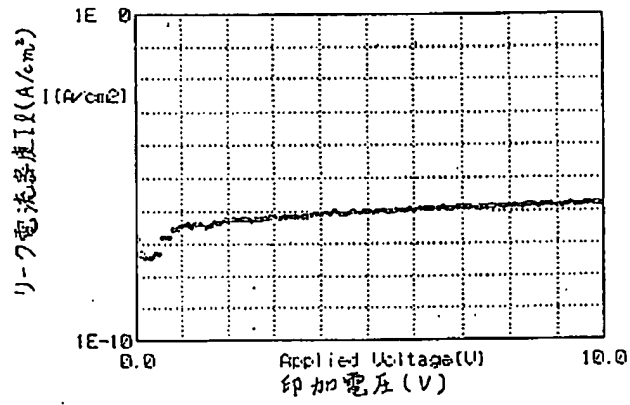


[Drawing 4]

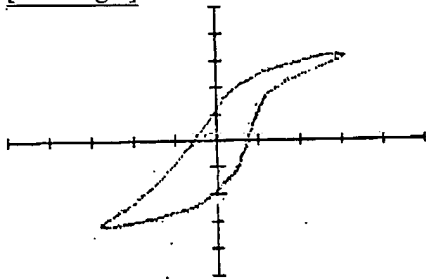
図面代用写真



[Drawing 5]

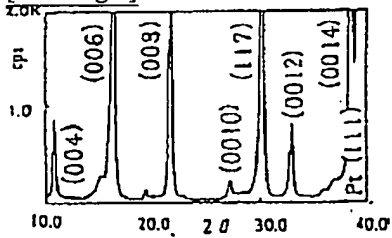


[Drawing 6]

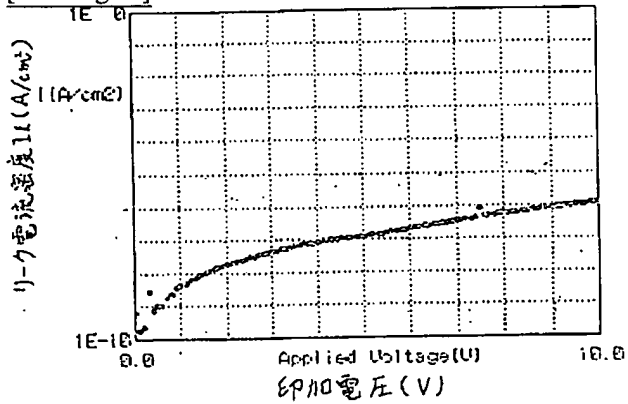


X div = 100 kV/cm  
Y div = 3  $\mu C/cm^2$

[Drawing 9]

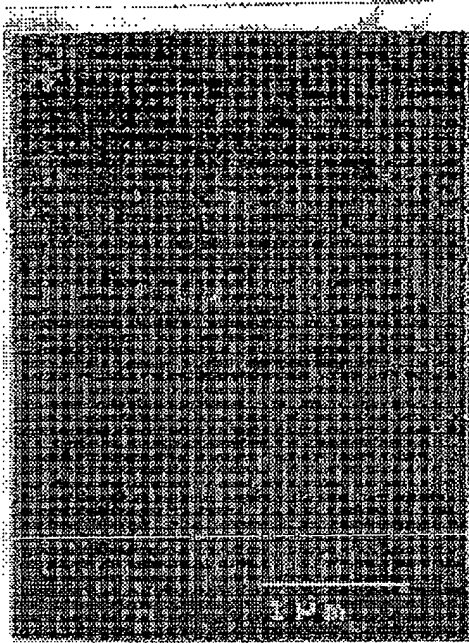


[Drawing 10]

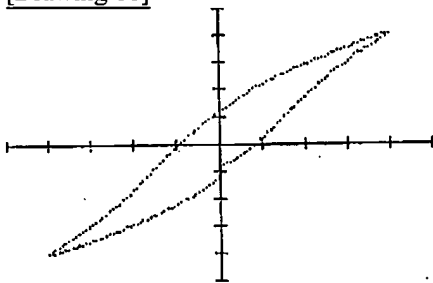


[Drawing 8]

図面代用等紙



[Drawing 11]



X d i v = 1 5 0 k V / c m  
Y d i v = 7 μ C / c m<sup>2</sup>

---

[Translation done.]